

博士學位論文

3상 무정전 전원장치용 인버터의 새로운
전압제어기 설계

**Design of Advanced Voltage Controller for
Three-Phase UPS Inverters**

金 景 煥

漢陽大學校 大學院

2006 年 6月 日

博士學位論文

3상 무정전 전원장치용 인버터의 새로운
전압제어기 설계

**Design of Advanced Voltage Controller for
Three-Phase UPS Inverters**

指導教授 玄 東 石

이 論文을 工學 博士學位論文으로 提出합니다.

2006 年 6月 日

漢陽大學校 大學院

電氣工學科

金 景 煥

이 論文을 金景煥의 工學博士學位 論文으로 認准함.

2006年 6月 日

審査委員長 徐 丙 高 (인)

審査委員 金 鎭 吾 (인)

審査委員 李 宅 基 (인)

審査委員 徐 範 錫 (인)

審査委員 玄 東 石 (인)

漢陽大學校 大學院

요 지

출력단에 LC필터를 갖는 3상 인버터는 무정전 전원장치, 태양광 발전용 PCS(Power Conditioning System)를 비롯한 각종 교류전원장치, 그리고 전원품질을 개선하기 위한 능동 파워 필터(Active Power Filter)등의 장치에 광범위하게 사용되고 있는 산업사회에 필수적인 전력변환기이다. 본 연구에서는 이러한 LC필터를 갖는 무정전 전원장치용 3상 인버터를 고성능으로 제어할 수 있는 완전 디지털 전압제어기를 제안하고 설계하였다.

무정전 전원장치에 가장 적합한 인버터 전압제어기를 설계하기 위해 기존에 연구된 많은 알고리즘 및 제어 구조의 장단점을 분석하였으며, 인버터 출력 LC필터의 낮은 감쇄비로 인한 출력전압의 진동 문제를 해결하기 위해서 인버터 전류 전향보상기를 설계 하였다. 그리고 전압왜곡을 직류값으로 검출할 수 있는 디지털 필터를 포함한 불평형 및 비선형 부하에 의한 전압왜곡을 동시에 보상할 수 있는 동기좌표계 전압제어기를 설계 하였다. 특히 개발된 전압 제어기가 실제로 무정전 전원장치에 쉽게 적용될 수 있도록 기존의 연구와는 다르게 무정전 전원장치와 직접적으로 관련을 가지는 PLL(Phase Locked Loop) 기능과 병렬운전을 연관시켜서 연구를 수행하였으며, 병렬운전시 병렬운전되는 각각의 인버터의 PWM비동기로 인한 고조파 순환전류의 영향도 함께 연구 하였다.

인버터 전류 전향보상을 통해서 인버터 출력전압의 진동억제의 효과뿐만 아니라 병렬운전시의 부하분담의 정도도 향상시킬 수 있음을 보였으며, 제안된 전압왜곡 보상기는 제어 진상각을 비롯한 어떠한 시스템 정수에 대한 정보를 필요로 하지 않으면서 정상상태 오차를 영으로 만들 수 있음을 보였다. 또한 제안된 제어기 구조는 고성능 PLL 기능을 간단하게 구현 할 수 있으며 병렬운전으로도 쉽게 확장될 수 있음을 보였다.

인버터 전류의 전향보상 효과, 불평형 부하에 의한 전압왜곡의 보상효과, 비선형 및 비선형 부하 각각에 대한 전압왜곡의 보상 그리고 불평형 부하와 비선형 부하가 동시에 가해진 경우의 전압왜곡의 보상에 대한 모의실험을 통해 제안된 알고리즘의 타당성을 확인하였으며, 시험을 통해 나타난 시험결과들이 모의실험

결과와 일치함을 보임으로써 제안된 제어기의 타당성을 확인하였다. 또한 제안된 전압제어기를 이용한 병렬운전시스템의 시험을 통해 제안된 병렬운전 시스템의 타당성도 확인하였다.

주요어 : 인버터 전압제어기, 불평형 부하, 비선형 부하, 전압왜곡 보상,
동기좌표, 병렬운전, 순환전류, 고조파전류, PWM동기

목 차

요 지.....	i
목 차.....	iii
그 립 목 록.....	v
표 목 록.....	ix
기호 및 약어.....	x
 제 1 장 서 론.....	 1
1.1 연구배경 및 필요성.....	1
1.2 연구내용 및 구성.....	6
제 2장 기존 인버터 전압제어기.....	8
2.1 인버터 LC필터의 전압 제어 특성.....	8
2.2 동기좌표계 전압제어기.....	13
2.3 비례+공진제어기.....	23
2.4 데드비트(deadbeat) 전압제어기.....	25
2.5 관측기를 이용한 커패시터 전류 제어기.....	29
2.6 DFT를 이용한 전압제어기.....	32
2.7 반복학습제어기.....	33
제 3장 새로운 동기좌표계 전압제어기 설계.....	35
3.1 제안된 전압제어기의 구성.....	35
3.2 인버터전류 전향보상기 설계.....	37
3.3 불평형 부하 보상기 설계.....	49
3.4 비선형 부하 보상기 설계.....	55
3.5 PLL 설계.....	56
3.6 병렬운전 전압제어기 설계.....	60
제 4장 모의 실험.....	79
4.1 인버터 전류 전향 보상.....	79
4.2 불평형 부하 보상.....	86

4.3 비선형 부하 보상.....	90
4.4 불평형 및 비선형부하 동시 보상.....	90
4.5 병렬운전시 PWM 비동기 영향.....	96
제 5장 실험결과 및 검토.....	104
5.1 시스템 구성.....	104
5.2 실험결과.....	111
제 6 장 결론.....	122
참 고 문 헌.....	123
ABSTRACT.....	132

그림목록

그림 2.1 LC필터의 단상 등가회로.....	10
그림 2.2 인버터 LC필터의 단상 등가 블록도.....	10
그림 2.3 전압 기준치와 실제 전압 파형(점선: 기준전압, 실선: 출력 전압).....	11
그림 2.4 LC필터 전압전달 함수의 보드선도.....	12
그림 2.5 LC필터 출력임피던스의 보드 선도.....	12
그림 2.6 출력단에 LC필터를 갖는 3상 인버터 전력회로.....	15
그림 2.7 전류제어 블록도.....	15
그림 2.8 전압제어 블록도.....	16
그림 2.9 동기좌표계 전압제어기.....	16
그림 2.10 동기좌표계 전압제어 단상 등가 블록도.....	18
그림 2.11 커패시터 전류제어기 블록도.....	18
그림 2.12 전류제어 계인에 따른 동기좌표 전압제어기의 출력임피던스 특성...	19
그림 2.13 불평형 부하시 동기좌표계의 비례적분제어기 출력신호.....	19
그림 2.14 동기좌표계 전압제어기의 구성.....	21
그림 2.15 불평형 부하보상기를 갖는 동기좌표계 전압제어기.....	21
그림 2.16 비선형부하 보상을 위한 동기좌표계 전압제어기.....	23
그림 2.17 비선형 부하 보상을 위한 동기좌표 전압제어기의 비례공진제어기로의 등가변환.....	24
그림 2.18 단상 인버터 전력회로.....	28
그림 2.19 전압 지령치와 실제 전압 파형 (정수값에 오차가 없는 경우).....	28
그림 2.20 전압 지령치와 실제 전압 파형 (정수값에 오차가 있는 경우).....	29
그림 2.21 전압 지령치와 실제 전압 파형.....	31
그림 2.22 커패시터 전류 파형.....	31
그림 2.23 전류 관측기를 갖는 커패시터 전류 제어기.....	32
그림 2.24 DFT를 이용한 전압제어기.....	33
그림 2.25 3상 PWM 인버터의 반복제어기.....	34
그림 3.1 새로운 동기좌표 전압제어기의 구성.....	36

그림 3.2 인버터 전류 전향보상기의 구성.....	38
그림 3.3 $L_f=110\mu\text{H}$ 인 경우의 게인 a 에 대한 근궤적.....	41
그림 3.4 그림 3.3의 P1지점에서의 과도응답.....	42
그림 3.5 그림 3.3의 P2지점에서의 과도응답.....	42
그림 3.6 $L_f=200\mu\text{H}$ 인 경우의 게인 a 에 대한 근궤적.....	43
그림 3.7 그림 3.6의 P1, P2, P3지점에서의 과도응답.....	44
그림 3.8 그림 3.6의 P4지점에서의 과도응답.....	44
그림 3.9 $L_f=300\mu\text{H}$ 인 경우의 게인 a 에 대한 근궤적.....	45
그림 3.10 그림 3.9의 P1, P2, P3지점에서의 과도응답.....	46
그림 3.11 그림 3.9의 P4지점에서의 과도응답.....	46
그림 3.12 게인 a 에 대한 근궤적.....	47
그림 3.13 게인 a 값에 대한 출력임피던스의 보드 선도.....	48
그림 3.14 불평형 3상 전압의 대칭성분.....	52
그림 3.15 정상성분 검출을 위한 디지털 필터.....	53
그림 3.16 역상성분 검출을 위한 디지털 필터.....	53
그림 3.17 불평형 부하보상을 위한 동기좌표계 전압제어기.....	54
그림 3.18 비선형 부하 보상을 위한 동기좌표계 전압제어기.....	56
그림 3.19 DPLL 구성.....	58
그림 3.20 모의 사고가 발생한 전원 전압.....	58
그림 3.21 보상된 부하 전압.....	59
그림 3.22 기존의 PLL을 이용한 경우의 인버터 출력전압의 주파수.....	59
그림 3.23 개선된 PLL을 이용한 경우의 부하 전압의 주파수.....	59
그림 3.24 병렬운전 인버터의 등가회로.....	62
그림 3.25 인버터 출력전압 및 순환전류 벡터도 (전압크기차이만 존재하는 경우).....	65
그림 3.26 인버터 출력전압 및 순환전류 벡터도 (위상차만 존재하는 경우).....	65
그림 3.27 제안된 전압제어기의 순환전류 벡터도.....	68
그림 3.28 전압차이에 의한 순환전류.....	68

그림 3.29 위상차이에 의한 순환전류.....	69
그림 3.30 제안된 전압제어기의 출력 임피던스 특성.....	69
그림 3.31 제안된 기본과 순환전류제어기.....	70
그림 3.32 병렬 제어시스템의 전압제어기 구성도.....	70
그림 3.33 PWM 비동기화로 인한 고조파 순환전류 발생.....	72
그림 3.34 각각의 DSP 보드로 제어되는 인버터 병렬운전 시스템.....	74
그림 3.35 DSP 보드의 PWM 발생 및 CAN 통신 주기.....	75
그림 3.36 CAN 버스상의 Data 프레임.....	75
그림 3.37 슬레이브 업 카운팅 모드에서의 CAN 수신 인터럽트 발생.....	76
그림 3.38 슬레이브 다운 카운팅 모드에서의 CAN 수신 인터럽트 발생.....	77
그림 3.39 PWM 동기화를 위한 프로그램 플로우 차트.....	78
그림 4.1 인버터 전향보상에 대한 모의시험 모델.....	80
그림 4.2 무부하 상태에서 출력 전압 응답 특성($a=0$).....	81
그림 4.3 무부하 상태에서 출력전압 응답 특성($a=5$).....	81
그림 4.4 무부하 상태에서 출력전압 응답 특성($a=10$).....	82
그림 4.5 무부하 상태에서 출력전압 응답 특성($a=15$).....	82
그림 4.6 무부하 상태에서 출력전압 응답 특성($a=24$).....	83
그림 4.7 부하상태에서 출력전압 응답특성($a=0$).....	83
그림 4.8 부하상태에서 출력전압 응답특성($a=5$).....	84
그림 4.9 부하상태에서 출력전압 응답특성($a=10$).....	84
그림 4.10 부하상태에서 출력전압 응답특성($a=15$).....	85
그림 4.11 부하상태에서 출력전압 응답특성($a=24$).....	85
그림 4.12 디지털 필터를 사용한 불평형 전압의 변환특성.....	87
그림 4.13 불평형 부하시 기존 동기좌표제어기의 전압 응답 특성.....	88
그림 4.14 불평형부하시 제안된 동기좌표제어기의 전압응답특성.....	89
그림 4.15 비선형 부하시 기존 동기좌표제어기의 전압응답특성.....	92
그림 4.16 비선형 부하시 제안된 동기좌표제어기의 전압응답특성.....	93
그림 4.17 불평형 및 비선형 부하시 기존 동기좌표제어기의 전압응답특성.....	94

그림 4.18 불평형 및 비선형 부하시 제안된 동기좌표제어기의 전압응답특성...	95
그림 4.19 병렬운전 모의시험 모델.....	97
그림 4.20 PWM 비동기로 인한 고조파 순환전류.....	98
그림 4.21 PWM 비동기시 병렬운전중인 각 인버터의 부하전류 및 고조파 순환 전류.....	99
그림 4.22 PWM 비동기시 병렬운전중인 각 인버터의 출력전압 및 고조파 순환 전류.....	100
그림 4.23 PWM 동기시 고조파 순환전류.....	101
그림 4.24 PWM 동기시 병렬운전중인 각 인버터의 부하전류 및 고조파 순환 전류.....	102
그림 4.25 PWM 동기시 병렬운전중인 각 인버터의 출력전압 및 고조파 순환 전류.....	103
그림 5.1 시험 장치 외관 사진.....	105
그림 5.2 IGBT stack 사진.....	106
그림 5.3 시험용 장비의 전력회로 및 제어시스템 구성.....	106
그림 5.4 DSP 제어기의 구성.....	108
그림 5.5 TMS320C6711에서 수행되는 제어 소프트웨어의 구성.....	109
그림 5.6 TMS320F2812에서 수행되는 제어 소프트웨어의 구성.....	110
그림 5.7 q 축 전압 기준치에 대한 제어응답특성.....	113
그림 5.8 불평형 부하에 대한 인버터 3상 출력전압 파형.....	114
그림 5.9 비선형 부하에 대한 인버터 출력전압 및 전류 파형.....	115
그림 5.10 그림 5.7의 전압 전류파형에 대한 FFT 스펙트럼.....	116
그림 5.11 불평형 및 비선형 부하 동시 보상에 대한 결과.....	117
그림 5.12 무부하 상태에서 인버터간에 흐르는 고조파 순환전류.....	118
그림 5.13 PWM 비동기시 무부하 상태에서의 UPS 병렬운전 특성.....	119
그림 5.14 PWM 동기화 기법을 적용한 무부하 상태에서의 UPS 병렬운전 특성	120
그림 5.15 기존 전력편차에 의한 병렬운전 특성.....	121
그림 5.16 제안된 제어기의 병렬운전 특성.....	121

표목록

표 2.1 LC 필터 정수.....	11
표 3.1 모의시험 조건.....	58
표 4.1 LC필터 회로 정수.....	80
표. 5.1 시험조건.....	113

기 호 및 약 어

v_{inv}	인버터 출력전압
v_L	LC필터의 리액터 양단전압
v_C	LC필터의 커패시터 양단전압
v_{Load}	부하전압
i_{inv}	인버터 출력전류
i_{cir}	순환전류
i_C	LC필터의 커패시터 전류
i_{Load}	부하전류
δ	인버터간 출력전압의 위상차
ω_b	기본 주파수
ω_f	LC필터의 공진주파수
ω_d	밴드패스 필터 중심주파수
ζ_f	LC필터의 감쇄계수
ζ_c	제어기 감쇄계수
ζ_d	밴드패스필터 감쇄계수
φ_{Con}	제어 진상각
φ_v	순환전류와 전압차이 벡터의 위상각
h	연산자
R_f	LC필터의 리액터 저항성분
L_f	LC필터의 리액터 누설인덕턴스
C_f	LC필터의 필터 커패시터
Z_L	LC필터의 리액터 임피던스
T_s	샘플링 주기
T_d	시스템 지연시간
D	시간지연 전달함수
Z_o	인버터 출력임피던스

G_{inv}	인버터 전류 전향 보상 계인
G_{Load}	부하전류 전향 보상 계인
K_v	전압제어기
K_c	전류제어기
$T(\theta)$	변환행렬
V_C^p	출력전압의 정상성분
V_C^n	출력전압의 역상성분
V_C^o	출력전압의 영상성분
\vec{V}_d	전압차이 벡터
C_{Phase}	기본파 순환전류 보상기의 출력(위상 보정값)
C_{Mag}	기본파 순환전류 보상기의 출력(전압크기 보정값)

UPS: Uninterruptible Power Supply

PCS: Power Conditioning System

THD: Total Harmonic Distortion

PWM: Pulse Width Modulation

PLL: Phase Locked Loops:

DFT: Discrete Fourier Transformation

DSP: Digital Signal Processor

UVC: Unbalanced Voltage Compensator

HVC: Harmonic Voltage Compensator

SRFC: Synchronous Reference Frame Controller

PR: Proportional Resonant

DPLL: Digital Phase Locked Loops

TPR: Timer Period Register

CAN: Controller Area Network

TCR: Transmit Control Register

TCR: Transmission Request Set

제 1 장 서 론

1.1 연구배경 및 필요성

무정전 공급장치(UPS: Uninterruptible Power Supply)는 전산실, 방송, 증권거래소, 전화교환국, 병원 그리고 반도체 공장 등 각종 산업에서 전원시스템의 정전, 순간 정전, 전압강하에 의해 발생하는 여러 가지 문제들에 대한 대비책으로 널리 사용되고 있으며 IT(Information Technology)산업의 발전에 따라 그 수요가 점점 증가하고 있는 추세이다. 무정전 전원장치는 크게 신뢰성 측면에서 장점을 가지는 온-라인 더블 변환 방식(on-line double conversion)방식과 효율 측면에서 장점을 가지는 라인-인터랙티브(line-interactive)방식으로 분류 되는데 [1], 이들은 모두 출력단에 LC필터가 부착된 인버터로 구성되어 있다. 특히 무정전 전원장치의 인버터부는 태양광 또는 연료전지를 이용한 발전시스템에서 파워 컨디셔닝 시스템 (PCS, Power Conditioning System)의 핵심장치로도 이용 가능한 산업사회에서 필수적인 전력변환장치이다.

무정전 전원장치용 인버터부의 가장 중요한 기능은 출력전압의 안정도이다. 즉 계통 전압의 전원 품질과는 상관없이 인버터는 순수 정현파에 가까운 양질의 전원을 부하에 공급하는 것이 가장 중요한 동작특성이라고 할 수 있다. 그러나 무정전 전원장치의 부하를 살펴보면 컴퓨터 시스템, 각종 정보 통신 기기, 그리고 자동화 제조 설비 등 정전 및 전원품질에 민감한 비선형 부하들이 그 주류를 이루고 있다. 이러한 비선형 부하는 인버터 출력단에 고조파 전류를 유입시켜서 인버터 출력전압을 왜곡시킨다. 또한 중성선에 고조파전류가 흐르게 하여 필터 커패시터 및 출력 변압기의 열화 촉진 등 인버터의 수명을 단축시킬 뿐만 아니라 전력용 반도체의 이상 동작 및 인버터에 연결된 중요한 부하장치의 오동작을 유발시킨다. 3상 인버터의 불평형 부하 역시 인버터의 출력전압에 영상분 및 역상분 왜곡을 발생시킨다. 일반적으로 고성능 3 상 무정전 전원장치가 가져야 할 전압 안정도에 대한 요구 조건은 3상 평형부하시 각 상 출력전압의 최대오차가 정격 출력전압을 기준으로 1%미만이어야 하며, 불평형 부하시에는 4% 미만, 그리고 비선형 부하시 출력전압의 THD(Total Harmonic distortion)가 5%

미만의 특성을 갖도록 요구하고 있다 [2], [3], [4]. 무정전 전원장치의 출력전압의 안정도는 당연히 그 인버터 전압제어기의 성능에 따라 좌우되므로, 무정전 전원장치용 인버터가 고정도의 전압 안정도 특성을 갖기 위해서는 불평형 부하 및 비선형부하시에 인버터 출력전압 왜곡을 보상 할 수 있는 고성능의 인버터 전압제어기를 필요로 하게 된다.

현재까지 연구된 3상 인버터의 전압제어기를 분석하면 크게 세가지로 분류 할 수 있다. 즉 고속의 전류제어를 통해 부하전류 외란을 빠르게 보상하는 고성능 피드백 제어방식과 출력전압에서 왜곡분을 연산하여 주 전압제어기의 출력에 전향 보상하는 방식, 그리고 출력전압의 왜곡분에 대응하는 주파수에서 전압제어기의 게인이 커지도록 설계한 비례-공진(P+Resonant) 제어기[56-60]로 구성된다. 고성능 피드백제어기로는 데드비트(deadbeat) 전압제어 방식[7-18], 슬라이딩모드 제어방식[19-21], 상태궤환제어기 또는 관측기를 사용한 커패시터 전류제어방식 [22], [23]등이 제안되었으며, 전향보상방법으로는 반복학습제어를 이용한 전압제어 방식[24-42], DFT(Discrete Fourier Transformation)를 이용한 전압제어방식[44], 그리고 역상순으로 회전하는 동기좌표계를 이용한 전압제어방식 [46], [47], [49], [51]이 제안되었다.

데드비트 전압제어기의 단점은 알려진 바와 같이 회로 정수 값에 민감하다는 것이다. 즉 회로의 제 정수 값을 정확히 알지 못하거나 시간이 경과 함에 따라 회로 정수 값이 변동하는 경우에는 제어 성능이 떨어지고 최악의 경우 시스템의 안정성에 영향을 받을 수 있게 되므로, 최근까지도 기존 제어기에 대한 개선책을 다룬 연구들이 이루어 지고 있다.

인버터의 출력전압은 LC 출력필터의 커패시터 양단간의 전압으로 나타난다. 따라서 커패시터에 흐르는 전류를 매우 빠르게 제어하면 커패시터 양단간 전압이 기준값에 빠르게 추종하게 할 수 있다. 그러나 커패시터 전류는 인버터의 구조적인 문제로 측정이 어렵거나 그렇지 않은 경우라도 인버터 스위칭에 의한 전류리플 성분이 커패시터 전류에 그대로 나타나기 때문에, 이 전류를 검출해서 사용하기에는 어려움이 있다. 이러한 문제로 기존의 연구에서는 저역 통과 필터(Low Pass Filter)를 통과한 커패시터 전류를 제어기에 인가하는 방법을 취하였다.

하지만 이러한 저역통과 필터의 사용은 제어기의 동특성을 저하 시키는 요인으로 작용한다. 문헌 [23]은 이러한 시지연 문제를 보상하기 위해서 커패시터 전류 관측기와 부하전류 관측기를 사용한 고성능 커패시터 전압제어기를 제안 하였다. 그러나 관측기의 예측알고리즘을 구현하기 위해서는 여전히 회로정수에 대한 정보를 필요로 하며 출력전압의 응답특성이 관측기의 게인값에 따라 크게 좌우한다. 또한 빠른 전류제어를 위해서 18kHz 이상의 매우 빠른 스위칭 주파수가 요구된다.

반복학습제어기는 출력전압의 왜곡성분이 일정한 주기(period)를 가지고 반복되는 경우, 학습제어를 통해 왜곡성분을 주 전압제어기 출력에 미리 보상함으로써 출력전압의 왜곡을 보상하는 구조이다. 그러나 학습제어 알고리즘은 여전히 필터 정수에 대한 정보를 필요로 하며, 출력전압의 왜곡 성분이 주기를 갖는 정상상태를 제어대상으로 하기 때문에 과도상태 특성 개선에 대한 연구가 필요하다. 또한 문헌[41]에서 언급 된 바와 같이 정상상태 오차를 더욱 줄이기 위해서는 보다 높은 PWM 스위칭 주파수가 요구된다.

문헌[44]는 DFT(Discrete Fourier Transformation)를 사용한 보상기를 제안 하였다. 보상기는 출력전압 파형에 포함된 각각의 고조파 성분의 크기를 DFT로 산출하고 이것이 영(zero)이 되도록 제어하는 비례적분제어기의 출력을 주 전압제어기의 출력에 전향 보상하는 구조이다. 이 방법은 고조파의 크기를 계산 하는데 많은 연산량을 필요로 한다.

문헌[51]은 불평형 부하를 보상 할 수 있는 동기좌표계 전압제어기를 제안 하였으며, 문헌 [46], [47]은 비선형 부하시의 고조파 왜곡을 선택적으로 보상할 수 있는 동기좌표계 전압제어기를 제안하였다. 그러나 이들 동기좌표계 전압제어기 내의 비례-적분제어기는 교류 신호를 가지고 동작하므로 정상상태 오차를 영으로 만들지 못하는 단점을 가진다.

기존 3상 인버터 전압제어기를 무정전 전원장치용 인버터에 적용할 경우 다음과 같은 중요한 사실을 인지 할 수 있다. 첫째로, 대다수의 연구가 비선형부하에 의한 전압 왜곡의 보상을 다루고 있으며 불평형 부하 및 비선형 부하에 의한 왜곡성분을 동시에 보상하는 제어기에 대한 연구는 문헌 [51-53] 외에는 별

로 연구되지 않았다는 것이다. 실제로 산업 현장에서 사용되는 무정전 전원장치에 적용되기 위해서는 불평형 부하 및 비선형 부하에 전압왜곡을 동시에 보상할 수 있는 제어기 구조가 요구된다.

둘째는 제어기의 대역폭 문제이다. 인버터 전압제어기가 비선형 부하시의 전압왜곡을 효과적으로 제거하기 위해서는 전압제어기의 대역폭이 비선형 부하전류가 갖는 고조파 주파수보다 충분히 커야 한다. 예를 들면 전압의 기본파가 60Hz일 때 출력전압에 포함된 5차 고조파 왜곡이 발생했다고 가정하면 전압제어기가 이 고조파 왜곡을 제거하기 위해서는 전압제어기의 제어 대역폭이 적어도 300Hz 보다 충분히 커야 한다. 그러나 불행하게도 LC필터를 갖는 인버터의 전압 제어기의 최대 제어대역폭은 출력필터의 공진주파수로 제한된다. 더욱이 제어기를 이산제어(discrete control)로 구성 할 때 시스템 시간지연요소들 예를 들면 제어기의 샘플링 및 연산시간 지연, PWM 시간 지연 등으로 인해 제어기의 대역폭은 필터의 공진 주파수보다 훨씬 더 작게 제한된다. 실제로 PWM (Pulse Width modulation) 스위칭 주파수가 10KHz이고 필터의 공진 주파수가 500Hz정도인 LC필터를 갖는 인버터의 전압제어기를 디지털 PI 제어기로 구현할 때 실제 전압제어기의 제어 대역폭은 약 100Hz 미만으로 제한되게 된다. 제어 대역폭을 증가 시키기 위해서 PWM 스위칭 주파수를 늘리는 방법을 고려할 수 있지만 무정전 전원장치의 현실적 문제 (대용량에서의 스위칭 손실, 상품성을 높이기 위해 필요한 기능의 제공, 예를 들면 사용자 인터페이스, 전압, 전류, 전력 등 각종 변수들의 표시, 고장 이력 관리, 원격감시를 위한 직렬통신, 입력단 컨버터의 제어 등)는 오히려 인버터 PWM 스위칭 주파수를 증가시킬 수 없는 요인으로 작용한다. 따라서 고속의 스위칭 주파수를 요구하는 커패시터 전류제어기를 비롯한 고성능 피드백 제어방식은 실용성 측면에서 문제를 가질 수 있다.

셋째는 무정전 전원장치는 상용전원 또는 바이패스 전원과 동기화된 인버터 출력전압을 출력해야 한다. 따라서 이를 위한 PLL(Phase Locked Loops)이 동작하는 경우, 주 전압제어기 출력의 위상은 실제 인버터 출력전압 보다 앞선다 (이것을 제어진상각이라고 정의한다). 다시 말하자면 LC필터 및 시스템의 시지연

요소로 커패시터 양단전압은 전압기준보다 지연되어 출력되기 때문에 이를 보상하기 위해서 PLL은 전압제어기의 출력신호를 인버터 출력전압보다 진상(leading)으로 만든다. 따라서 출력전압의 왜곡에 대한 보상신호가 제어기 출력에 반영되기 위해서는 검출한 왜곡성분을 제어진상각 만큼 위상을 진상으로 천이시켜서 보상해야 된다. 그러나 불행하게도 반복학습제어방법을 제외한 다른 방법들은 제어 진상각을 온-라인(on-line)으로 반영하지 못하기 때문에 주 전압제어기가 PLL동작과 연계하여 동작하는 경우에 제어기의 성능을 보장하기 어렵다. 결과적으로 인버터 전압제어기가 무정전 전원장치에 적합하고 실용성 측면에서 장점을 가지기 위해서는

- 제한된 PWM스위칭 주파수, 즉 제어기의 제어대역폭이 낮아도 불평형 부하 및 비선형 부하 보상이 가능한 구조
- 전압왜곡을 보상하기 위해서 제어입력과 실제 출력전압과의 위상 정보, 즉 제어진상각 및 어떠한 시스템 정수의 정보를 필요로 하지 않는 구조
- 바이패스 전원과 동기화된 전압출력을 위한 PLL(Phase Locked loops)을 용이하게 구현 할 수 있는 구조

의 조건을 만족시킬 수 있는 무정전 전원장치용 3상 인버터용 전압제어기에 대한 연구가 필요하다.

1.2 연구내용 및 구성

본 연구의 목적은 3상 무정전 전원장치에 가장 적합하고 실제 제품에 쉽게 적용 될 수 있는 3상 인버터용 고성능 전압제어기를 구현하는 것이다. 특히 실용성 측면에서의 장점을 배가 시키기 위해서 전압제어기의 병렬운전에 대한 연구도 병행하였다. 이상의 목적을 두고 본 논문에서는 다음 네 가지 사항에 대해서 연구하였다.

첫째, 기존의 연구된 많은 알고리즘 및 제어 구조의 장단점을 분석하였다. 기존의 전압제어기가 무정전 전원장치에 적용되는 경우에 가질 수 있는 제한조건을 분석하였으며, 특히 불평형 전압왜곡의 보상을 위한 동기좌표계 전압제어기 구조[51]와 임의의 고조파 전압왜곡의 보상을 위한 동기좌표전압제어기 [46], [47]의 단점을 분석함으로써, 두 개의 구조를 통합한 새로운 구조의 동기좌표계 전압제어기를 제안하였다.

둘째, 제어진상각을 포함하여 어떠한 시스템 정수의 정보가 없어도 불평형 부하에 의한 불평형 전압왜곡 그리고 비선형 부하에 의한 고조파 전압왜곡을 동시에 보상이 가능한 새로운 동기좌표계 전압제어기 설계에 대한 연구를 수행하였다. 전압왜곡을 보상함에 있어서, 제어기의 대역폭이 낮아도 정상상태 오차를 영으로 만들기 위해서, 출력전압의 불평형 전압왜곡 및 비선형 전압 성분의 d - q 변환값을 직류로 만들기 위한 디지털 필터를 설계하였다. 또한 LC필터의 낮은 감쇄비에 의한 출력전압의 진동 문제를 해결하기 위해서 인버터 전류의 전향보상 구조와 전향보상제인의 설계에 대한 연구도 수행하였다.

셋째, 제안된 제어기의 구조에서 출력전압의 위상을 계통전원과 동기 시키기 위한 PLL(Phase Locked Loop) 구현에 대한 연구를 수행하였으며

마지막으로 제안된 제어기의 병렬운전에 대한 연구를 수행하였다. 특히 병렬운전시 병렬운전되는 각각의 인버터의 PWM (Pulse Width Modulation) 출력전압의 비동기로 인한 고조파 순환전류의 영향에 대한 연구도 함께 수행하였다.

본 연구에서 제안된 전압제어기의 타당성과 구현 가능성을 입증하기 위해 모의 실험을 통한 검증이 이루어졌으며 실제로 전압제어기를 고속연산의 DSP(Digital Signal Processor)를 사용하여 구현하고 30kW 급의 무정전 전원장치에

적용하여 실험을 수행하였다. 이 결과로부터 제안된 전압제어기의 성능과 실용성을 확인 하였다.

제 2 장 기존 인버터 전압제어기

LC필터를 갖는 인버터의 출력전압의 왜곡의 원인은 LC필터 리액터 양단의 전압강하에 기인한다. 이 문제를 해결하기 위해서 초기에는 부하의 종류에 따라 LC필터가 가능한 작은 출력임피던스를 갖도록 전략적으로 LC필터를 선정하는 방법이 제시되었다 [5], [6]. 그러나 이러한 하드웨어적 방법은 다양한 부하에 대해 적용할 수 없기 때문에 DSP (Digital Signal Processor)를 사용한 고성능 디지털 인버터 전압제어기의 설계에 대한 연구가 최근까지 진행되고 있다. 본 장에서는 기존에 연구된 디지털 인버터 전압제어기의 특성에 대해서 연구하고, 기존 전압제어기가 무정전 전원장치의 인버터에 적용되는 경우에 가질 수 있는 문제에 대해서 분석한다.

2.1 인버터 LC필터의 전압 제어 특성

출력단에 LC필터를 갖는 인버터의 단상 등가 전력회로는 그림 2.1과 같이 나타나며 이 전력회로에 대한 블록전도는 그림 2.2와 같이 나타난다. 그림 2.2에서 입력전압에 대한 출력전압의 전달함수는 다음과 같이 표현된다.

$$\left. \frac{V_c(s)}{V_{inv}(s)} \right|_{I_{Load}(s)=0} = \frac{1}{L_f C_f s^2 + R_f C_f s + 1} = \frac{\omega_f^2}{s^2 + 2\zeta_f \omega_f s + \omega_f^2} \quad (2.1)$$

여기서 ω_f 는 LC필터의 공진 주파수, 그리고 ζ_f 는 LC필터의 감쇄비로 다음과 같다.

$$\omega_f = \frac{1}{\sqrt{L_f C_f}}, \quad \zeta_f = \frac{R_f}{2} \sqrt{\frac{C_f}{L_f}} \quad (2.2)$$

식(2.1)은 전압제어기 설계와 관련하여 두 가지의 중요한 의미를 보여준다. 첫째는, LC필터의 감쇄비가 매우 낮기 때문에 과도상태에서 인버터 필터 커패시터의 양단전압, 즉 부하전압이 쉽게 진동할 수 있다는 것이며, 둘째는 전압제어기의 제어 대역폭을 LC필터의 공진주파수 이하로 제한한다는 것이다. 일반적으로

LC필터의 저항성분은 0.02~0.035p.u. 정도이며 감쇄비는 대략 필터 저항성분의 반 정도의 값을 가지므로 LC필터의 감쇄비는 매우 작은 값을 갖는다. 따라서 LC필터 공진주파수 대역의 주파수를 갖는 전압이 인가되면 LC필터 커패시터 양단 전압에 진동 및 오버슈트가 발생하게 되어 시스템이 불안정해진다. 그림 2.3는 표 2.1의 정수값을 갖는 LC필터에 과도 상태에서 아무런 제어를 하지 않은 채 10KHz의 PWM 전압을 입력한 경우, 필터 커패시터의 출력전압의 파형을 나타낸다. 그림 2.3에서 보이는 바와 같이 과도상태에서 공진 대역의 주파수 성분으로 인하여 출력전압에 진동 및 오버슈트가 심하게 나타나며, 정상상태에서는 출력전압이 전압기준보다 지연됨을 알 수 있다. 출력전압의 진동문제는 필터 리액터에 직렬로 저항을 연결하여 LC필터의 감쇄비를 증가시킴으로써 해결할 수 있으나 LC필터의 저항성분은 부하전류와 결합하여 손실을 발생시키므로 실용성 측면에서 문제를 가진다. 결과적으로 LC필터의 낮은 감쇄비로 인한 커패시터 양단전압의 진동 및 오버슈트 문제는 적절한 전압제어기의 설계로 해결하여야 하는 과제로 남게 된다.

전압제어기 설계와 관련한 다른 한가지 특성은 LC필터가 전압제어기 대역폭을 필터 공진주파수 이하로 제한시키는 것이다. 그림 2.4는 식(2.1)에 대한 보드선도이다. $\omega > \omega_f$ 의 주파수조건에서 인버터 필터 커패시터의 전압이 40dB/dec의 비율로 감쇄하는 것을 알 수 있다. 이러한 주파수 영역에서 LC필터 커패시터 양단의 전압 크기를 일정하게 유지 시키기 위해서는 감쇄된 전압만큼 PWM 인버터의 출력전압 v_{inv} 를 높여 주어야 하는데 일반적으로 인버터의 직류링크(DC link) 전압이 일정한 값으로 제한되어 있기 때문에 물리적으로 가능하지 않다. 결과적으로 인버터 전압제어기를 어떠한 형태로 설계하더라도 제어기의 제어대역폭은 그 구조 및 특성에 상관없이 LC필터의 공진주파수 이하로 제한된다. 즉 제어기의 대역폭 ω_c 는

$$\omega_c \leq \omega_f \quad (2.3)$$

로 제한된다.

그림 2.2에서 LC필터의 출력임피던스 $Z_o(s)$ 는 부하전류에 대한 출력전압의 전달함수로 다음과 같이 표현된다.

$$Z_o(s)|_{V_{inv}(s)=0} = -\frac{V_c(s)}{I_{Load}(s)} = \frac{(L_f s + R_f)}{L_f C_f s^2 + R_f C_f s + 1} \quad (2.4)$$

그림 2.5은 표 2.1의 LC필터 정수에 대한 식(2.4)의 보드선도이다. 그림 2.5에서 보여주는 바와 같이 LC필터의 출력 임피던스의 크기는 $\omega < \omega_f$ 영역에서 부하전류의 주파수와 비례하여 증가하는 하모닉 임피던스 특성을 가진다.

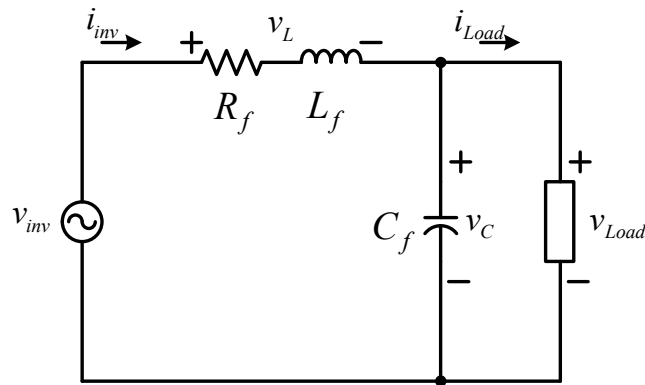


그림 2.1 LC필터의 단상 등가회로

Fig. 2.1. A equivalent circuit of the LC filter.

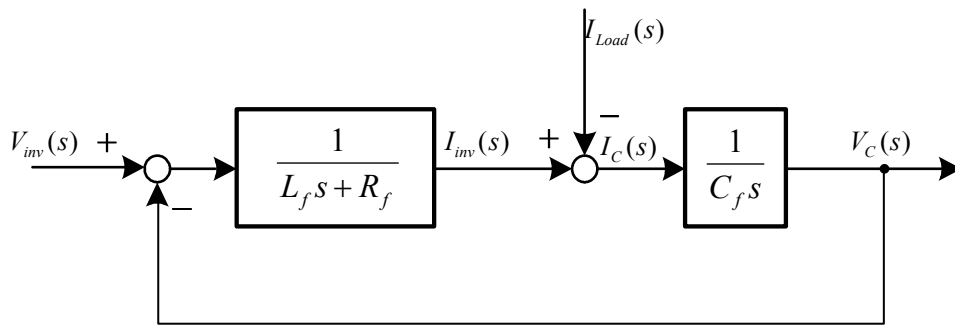


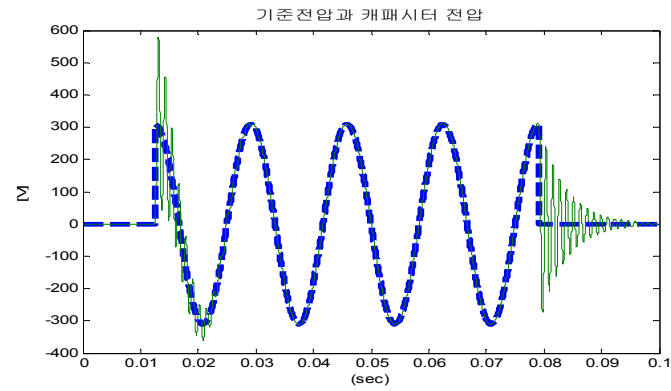
그림 2.2 인버터 LC필터의 단상 등가 블록도

Fig. 2.2. The block diagram of the LC filter.

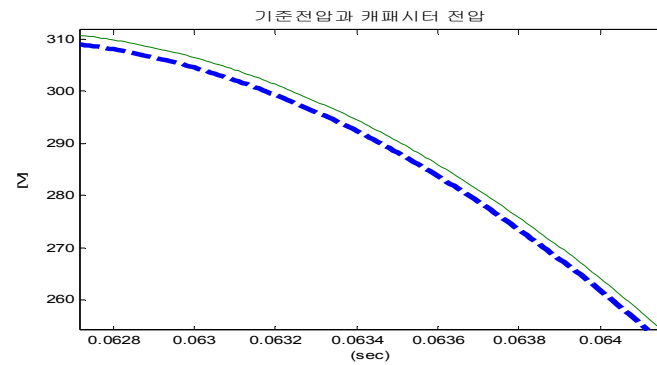
표 2.1 LC 필터 정수

Table 2.1. LC filter parameters.

LC필터 정수	값
R_f	0.04Ω
L_f	$115 \mu H$
C_f	$600 \mu F$
ω_f	3807 rad/s



(a) 전압기준과 출력전압



(b) 확대된 전압기준과 출력전압

그림 2.3 전압 기준치와 실제 전압 파형(점선: 기준전압, 실선: 출력 전압)

Fig. 2.3. Voltage reference and its feedback.

(the dotted line: the reference, the solid line: The feedback)

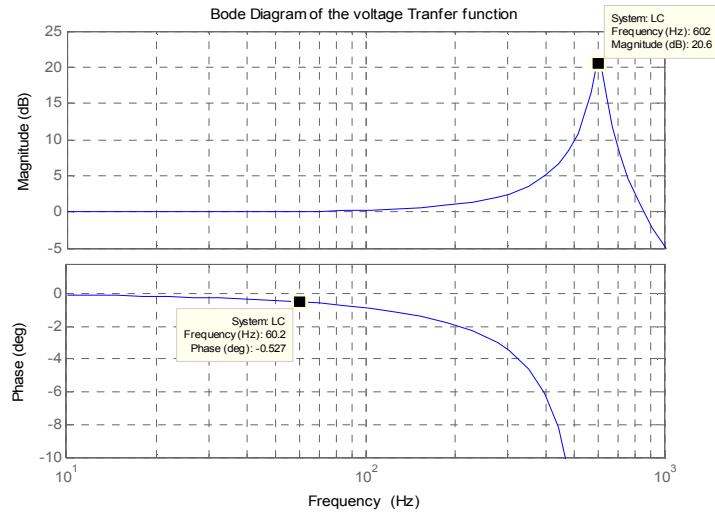


그림 2.4 LC필터 전압전달함수의 보드선도

Fig. 2.4. Bode plot of the voltage transfer function for LC Filter.

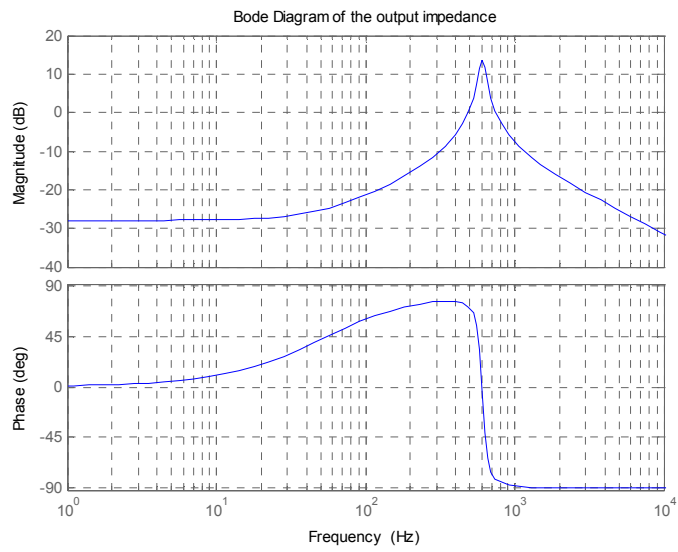


그림 2.5 LC필터 출력임피던스의 보드 선도

Fig. 2.5. Bode plot of the output impedance of LC filter.

2.2 동기좌표계 전압제어기

그림 2.6은 출력단에 LC필터를 갖는 3상 인버터의 구성도이다. 그림 2.6에서 필터 커패시터에 흐르는 전류는 다음과 같이 표현된다.

$$I_C = C_f \frac{dV_C}{dt} = I_{inv} - I_{Load} \quad (2.5)$$

여기서

$$I_C = [i_{Ca} \quad i_{Cb} \quad i_{Cc}]^T, \quad V_C = [v_{Ca} \quad v_{Cb} \quad v_{Cc}]^T$$

$$I_{inv} = [i_{inva} \quad i_{invb} \quad i_{invc}]^T, \quad I_{Load} = [i_{Loada} \quad i_{Loadb} \quad i_{Loadc}]^T$$

식(2.5)를 Park 변환행렬을 이용하여 d-q 등가 변환하면 다음과 같다.

$$\begin{bmatrix} \dot{v}_{Cd} \\ \dot{v}_{Cq} \end{bmatrix} = \begin{bmatrix} 0 & \omega \\ -\omega & 0 \end{bmatrix} \begin{bmatrix} v_{Cd} \\ v_{Cq} \end{bmatrix} + \begin{bmatrix} 1/C_f & 0 \\ 0 & 1/C_f \end{bmatrix} \begin{bmatrix} i_{invd} \\ i_{invq} \end{bmatrix} + \begin{bmatrix} -1/C_f & 0 \\ 0 & -1/C_f \end{bmatrix} \begin{bmatrix} i_{Loadd} \\ i_{Loadq} \end{bmatrix} \quad (2.6)$$

식(2.6)을 인버터 출력전류에 대해서 정리하면 다음과 같다.

$$\begin{aligned} i_{invd} &= C_f \dot{v}_{Cd} - \omega C_f v_{Cq} + i_{Loadd} \\ i_{invq} &= C_f \dot{v}_{Cq} + \omega C_f v_{Cd} + i_{Loadq} \end{aligned} \quad (2.7)$$

식 (2.7)의 등가 블록도는 그림 2.7와 같으며 비례적분 제어기로 다음과 같이 구성될 수 있다.

$$\begin{aligned} i_{invd}^* &= K_{cp}(v_{Cd}^* - v_{Cd}) + K_{ci} \int (v_{Cd}^* - v_{Cd}) dt - \omega C_f v_{Cq} + i_{Loadd} \\ i_{invq}^* &= K_{cp}(v_{Cq}^* - v_{Cq}) + K_{ci} \int (v_{Cq}^* - v_{Cq}) dt + \omega C_f v_{Cd} + i_{Loadq} \end{aligned} \quad (2.8)$$

한편 그림 2.6에서 필터 리액터의 양단간 전압은 다음과 같이 표현된다.

$$V_L = R_f I_{inv} + L_f \frac{dI_{inv}}{dt} = V_{inv} - V_C \quad (2.9)$$

여기서 $V_L = \begin{bmatrix} v_{La} & v_{Lb} & v_{Lc} \end{bmatrix}^T$

식(2.9)를 Park 변환행렬을 이용하여 d-q 등가 변환하면 다음과 같다.

$$\frac{d}{dt} \begin{bmatrix} i_{invd} \\ i_{invq} \end{bmatrix} = \begin{bmatrix} 0 & \omega \\ -\omega & 0 \end{bmatrix} \begin{bmatrix} i_{invd} \\ i_{invq} \end{bmatrix} + \begin{bmatrix} 1/L_f & 0 \\ 0 & 1/L_f \end{bmatrix} \begin{bmatrix} v_{invd} \\ v_{invq} \end{bmatrix} + \begin{bmatrix} -1/L_f & 0 \\ 0 & -1/L_f \end{bmatrix} \begin{bmatrix} v_{Cd} \\ v_{Cq} \end{bmatrix} \quad (2.10)$$

식(2.10)을 인버터 전압에 대해서 정리하면

$$\begin{aligned} v_{invd} &= L_f \frac{d}{dt} i_{invd} - \omega L_f i_{invq} + v_{Cd} \\ v_{invq} &= L_f \frac{d}{dt} i_{invq} + \omega L_f i_{invd} + v_{Cq} \end{aligned} \quad (2.11)$$

식(2.11)은 그림 2.8의 등가블록도로 나타나며 비례적분제어기로 다음과 같이 구성 된다.

$$\begin{aligned} v_{invd}^* &= K_{vp} (i_{invd}^* - i_{invd}) + K_{vi} \int (i_{invd}^* - i_{invd}) dt - \omega L_f i_{invq} + v_{Cd}^* \\ v_{invq}^* &= K_{vp} (i_{invq}^* - i_{invq}) + K_{vi} \int (i_{invq}^* - i_{invq}) dt + \omega L_f i_{invd} + v_{Cq}^* \end{aligned} \quad (2.12)$$

식 (2.8) 및 식(2.12)에 의해서 3상 인버터용 동기좌표계 d-q 전압제어기는 그림 2.9와 같이 구성 된다.

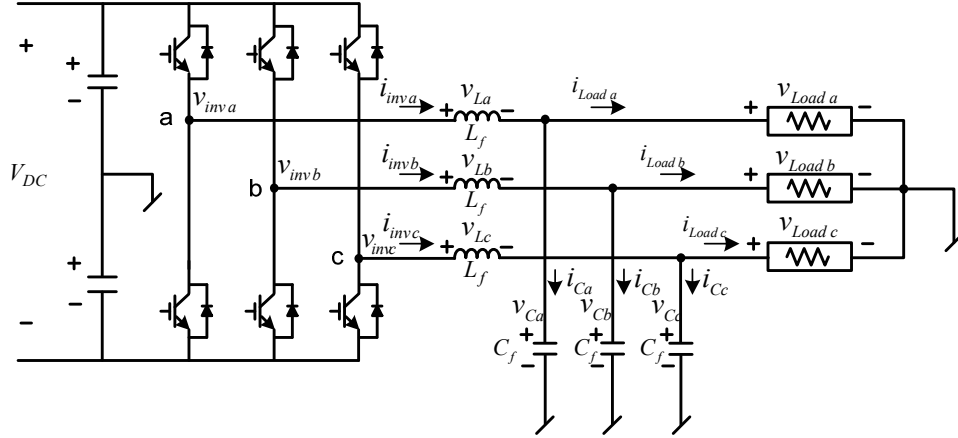


그림 2.6 출력단에 LC필터를 갖는 3상 인버터 전력회로

Fig. 2.6. A three-phase inverter with LC filter.

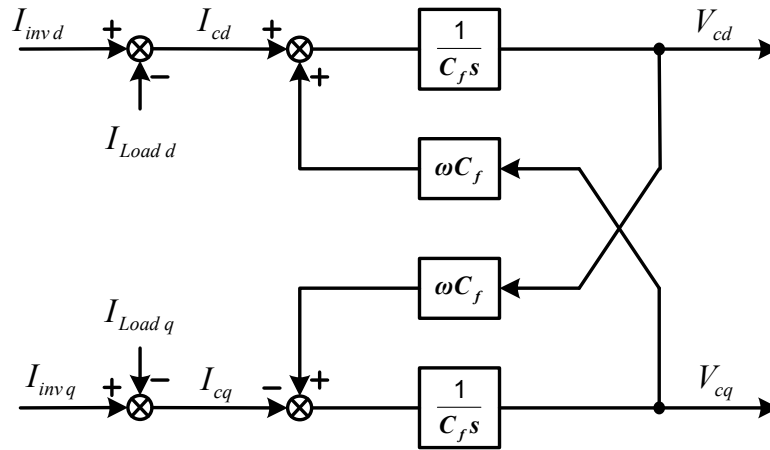


그림 2.7 전류제어 블록도

Fig. 2.7. Block diagram of the current control loop.

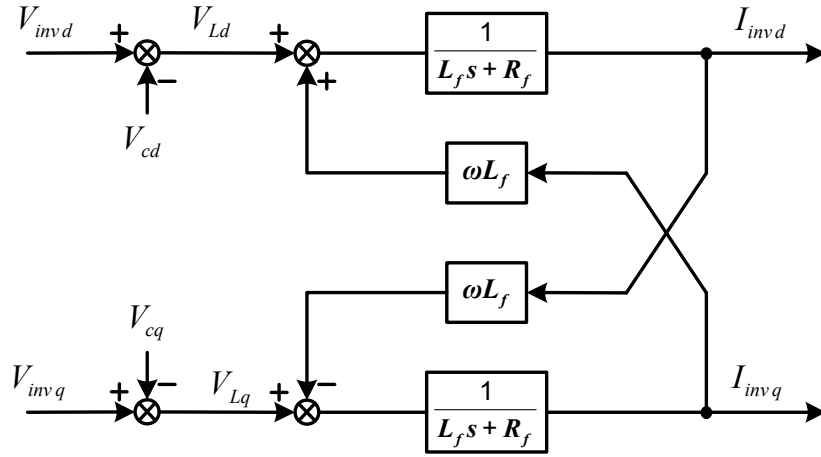


그림 2.8 전압제어 블록도

Fig. 2.8. Block diagram of the voltage control loop.

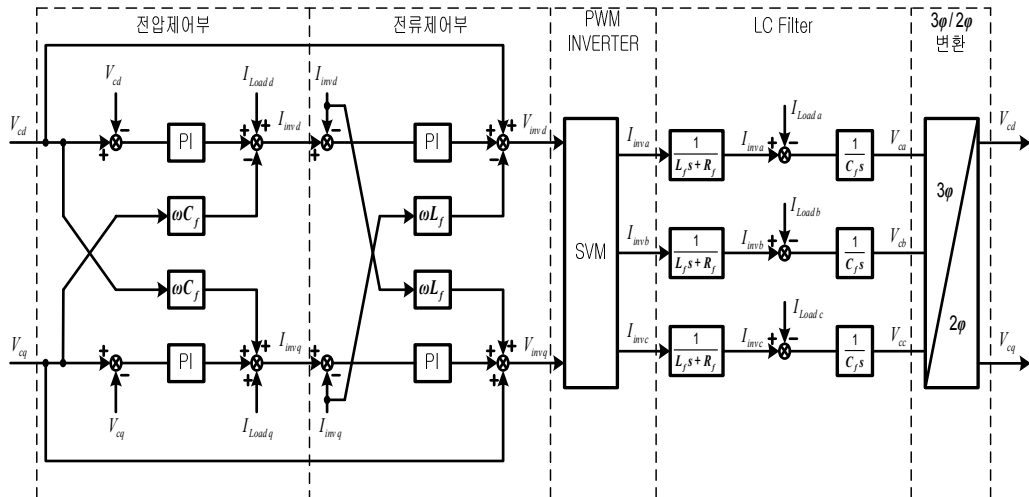


그림 2.9 동기좌표계 전압제어기

Fig. 2.9. Block diagram for the synchronous reference frame controller.

식(2.8) 및 식(2.12)에서 적분제어게인을 영이라고 가정하면 근사적으로 다음과 같이 표현 할 수 있다.

$$I_{inv dq}^* \cong K_{vp} (V_{Cdq}^* - V_{Cdq}) + I_{Load dq} \quad (2.13)$$

$$V_{inv dq}^* \cong K_{cp} (I_{Cdq}^* - I_{Cdq}) + V_{cdq}^* \quad (2.14)$$

여기서 $I_{inv dq} = [i_{invd} \ i_{invq}]^T$

식(2.13) 및 식(2.14)으로부터 동기좌표계 전압제어기의 단상 등가 제어블록도는 그림 2.10과 같이 나타낼 수 있다. 그림 2.10에서 ($I_{inv} - I_{Load} = I_C$) 이므로 그림 2.10은 등가적으로 그림 2.11과 같다. 그림 2.11에서 전압기준 및 부하외란에 대한 출력전압 응답의 전달함수는 각각 식(2.15) 및 식(2.16)와 같이 표현된다.

$$\left. \frac{V_c(s)}{V_c^*(s)} \right|_{I_{Load}(s)=0} = \frac{K_c K_v}{L_f C_f s^2 + (R_f + K_c) C_f s + 1 + K_c K_v} \quad (2.15)$$

$$Z_o(s) = - \left. \frac{V_c(s)}{I_{Load}(s)} \right|_{V_c^*(s)=0} = \frac{L_f s + R_f}{L_f C_f s^2 + (R_f + K_c) C_f s + (1 + K_c K_v)} \quad (2.16)$$

그림 2.12는 LC필터가 표 2.1에 나타난 정수 값을 갖는 경우 식(2.16)의 보드선도를 나타낸다. 그림 2.12에서 보이는 바와 같이 동기좌표 전압제어기는 전류게인 K_c 을 증가시키면 출력임피던스가 감소되는 것을 알 수 있다. 따라서 동기좌표계 전압제어기는 전류제어를 통해 부하전류 외란에 대해서도 빠르게 응답 할 수 있음을 알 수 있다.

동기좌표계 상에서 전류제어 및 전압제어를 수행하게 되는 주된 이유는 제어 기준값과 궤환신호가 동기좌표계상에서 항상 직류값이 되므로 비례-적분제어기를 이용하여 정상상태 오차를 영(zero)으로 만들 수 있다는 것이다. 동기좌표 전압제어기를 무정전 전원장치용 인버터에 적용하는 경우, 또 하나의 장점은 인버터 출력전압의 위상을 계통전원에 동기 시키기 위한 PLL(Phase Locked Loops)을

구현하기 쉽다는 것이다[61]. 그러나 불평형 부하 및 비선형 부하시 전압 및 전류의 왜곡 신호가 각각 기본주파수의 2배 및 $(n \pm 1)$ 배로 맥동하게 되어 정상상태 오차를 영으로 만들지 못한다. 이와 같은 현상은 그림 2.13에 나타난 모의 실험 결과에서도 확인 할 수 있다. 이 그림에서 Upd 및 Upq는 그림 2.9에서 d 및 q-축 전압제어기의 출력신호로써, 100msec시점에서 A상에만 부하를 걸었을 경우에 대한 파형을 나타낸다. 100msec전의 평형 상태에 대해서는 전압제어기 출력이 직류값이지만 불평형 부하 구간에서 제어기의 출력이 기본 주파수의 2배로 맥동하는 것을 볼 수 있다. 이러한 상황에서 비례-적분제어기는 대역폭의 한계로 맥동신호에 대해서 정상상태 오차를 영으로 만들지 못하며 결과적으로 인버터 출력전압의 왜곡을 보상 할 수 없게 된다.

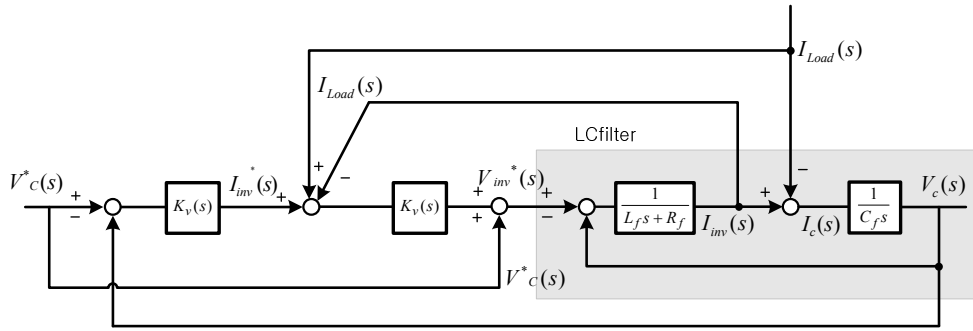


그림 2.10 동기좌표계 전압제어 단상 등가 블록도

Fig. 2.10. The single phase equivalent circuit of the synchronous reference frame voltage controller.

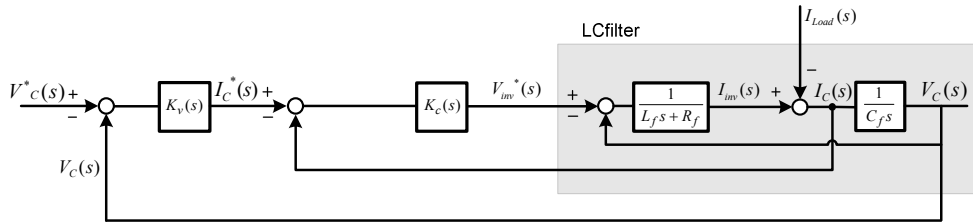


그림 2.11 커패시터 전류제어기 블록도

Fig. 2.11. The block diagram of a capacitor current controller.

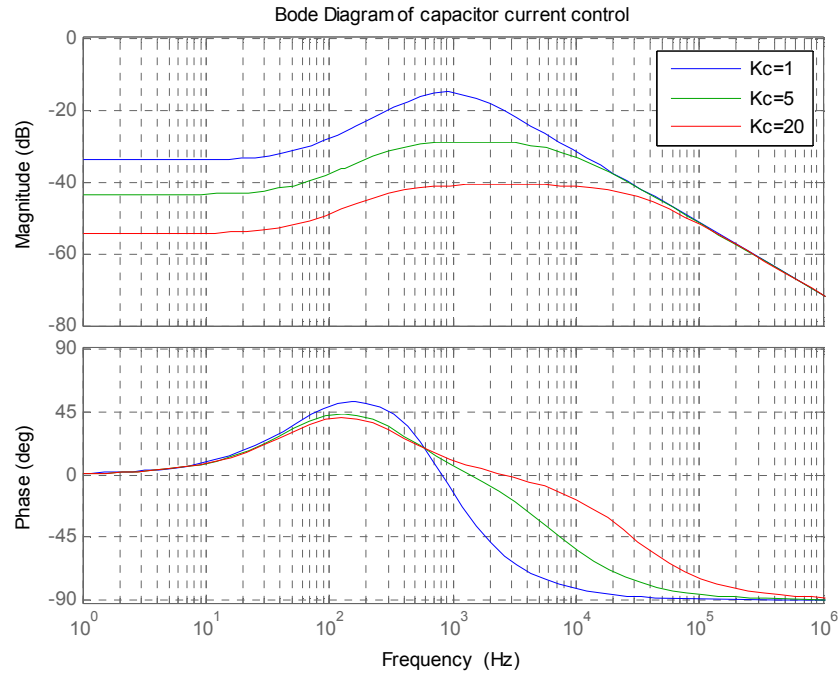


그림 2.12 전류제어 게인에 따른 동기좌표 전압제어기의 출력임피던스 특성

Fig. 2.12. The output impedance characteristics of the synchronous reference frame voltage controller versus current control gain .

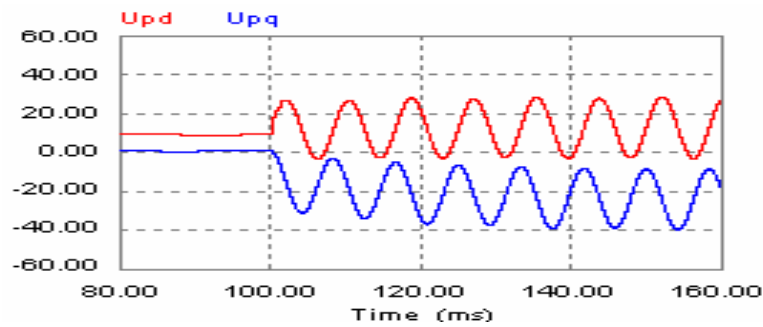


그림 2.13 불평형 부하시 동기좌표계의 비례적분제어기 출력신호

Fig. 2.13. The output waveform of PI controller in the conventional synchronous reference frame controller under the unbalanced load condition.

2.2.1 불평형 부하 보상을 위한 동기좌표계 전압제어기

불평형 부하시의 부하전압이 왜곡되는 문제를 해결하기 위해서 문헌 [51]은 역상순(시계 방향)으로 회전하는 동기좌표계를 불평형 부하 보상기로 이용하는 새로운 동기좌표계 전압제어기를 제안 하였다. 그림 2.14에 기존 동기좌표계 전압제어기의 구성을, 그리고 그림 2.15는 문헌[51]에서 제안된 불평형 부하보상을 위한 동기좌표계 전압제어기의 구성도를 비교하여 나타낸다. 그림 2.15에서 UVC(Unbalanced Voltage Compensator)는 불평형 전압왜곡을 보상하는 보상기이다.

3상 평형 전압을 정상순방향(반시계방향)으로 회전하는 동기좌표계로 변환하면 직류값이 되는 반면에 역상순(시계방향)으로 회전하는 동기좌표계로 변환하면 식(2.13)과 같이 기본 주파수의 2배로 맥동하는 2상 전압으로 표현된다.

$$\begin{pmatrix} V_p \cos(2\omega_b t) \\ -V_p \cos(2\omega_b t) \end{pmatrix} = T(\theta) \Big|_{\theta=\omega_b t} \begin{pmatrix} V_p \cos(\omega t) \\ V_p \cos(\omega t - 120^\circ) \\ V_p \cos(\omega t - 240^\circ) \end{pmatrix} \quad (2.17)$$

여기서 $V_p =$ 상전압 최대치

그림 2.15는 이러한 관계식을 이용하여 보상기의 비례-적분제어기의 기준값으로 식(2.17)의 전압을 전압기준으로 하고 부하전압을 역상순 동기좌표축 변환한 값을 궤환하여 이들간의 오차가 영이 되도록 제어하는 구조로 되어 있다. 그러나 이러한 구조에서 비례-적분제어기는 기본주파수의 2배인 교류 신호들을 제어하게 되어 결과적으로 정상상태 오차를 영으로 만들수 없게 된다 [91]. 더욱이 이 방식은 비선형 부하에 의한 전압왜곡은 보상 할 수 없다는 단점을 가진다.

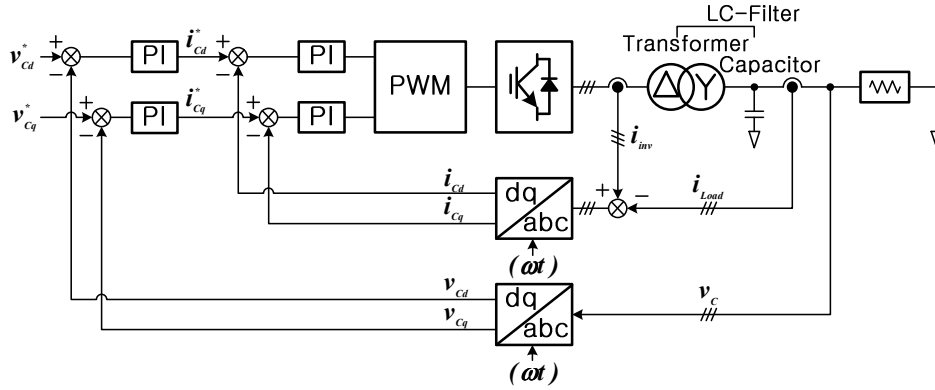


그림 2.14 동기좌표계 전압제어기의 구성

Fig. 2.14. The scheme of the conventional synchronous reference frame voltage controller.

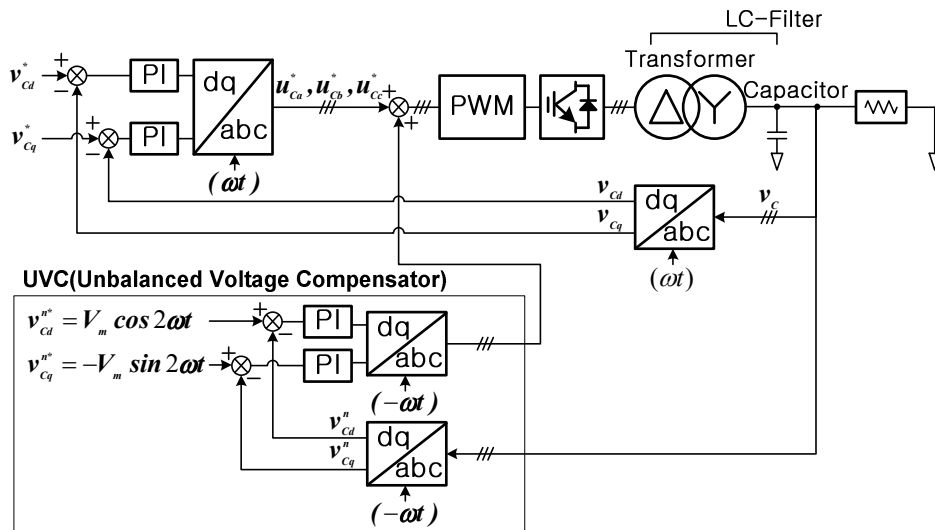


그림 2.15 불평형 부하보상기를 갖는 동기좌표계 전압제어기

Fig. 2.15. The synchronous reference frame voltage controller with the compensator for unbalanced loads.

2.2.2 비선형 부하 보상을 위한 동기좌표계 전압제어기

문헌[47]은 그림 2.15에서와 비슷한 개념으로 비선형 부하시 부하전압에 포함된 고조파 왜곡을 선택적으로 보상 할 수 있는 동기좌표계 전압제어기의 구성이 제시되어 있다. 그림 2.16은 문헌[47]에서 제시되어 있는 고조파 왜곡의 보상을 위한 동기좌표 전압제어기의 구성도이다. 이 그림에서 부하전압에 포함된 고조파 왜곡성분은 전압기준과 실제 부하전압간의 차로 다음과 같이 얻어진다.

$$V_h = V_C^* - V_C \quad (2.18)$$

$$\text{여기서 } V_h = \begin{bmatrix} v_{ha} & v_{hb} & v_{hc} \end{bmatrix}^T, V_C^* = \begin{bmatrix} v_{Ca}^* & v_{Cb}^* & v_{Cc}^* \end{bmatrix}^T, V_C = \begin{bmatrix} v_{Ca} & v_{Cb} & v_{Cc} \end{bmatrix}^T$$

그림 2.16에서 고조파 왜곡을 보상하는 HVC(Harmonic Voltage Compensator)의 적분제어기의 궤환값은 보상하려는 고조파 주파수로 정상순 또는 역상순으로 회전하는 동기좌표계를 사용하여 각각 다음과 같이 연산된다.

$$\begin{pmatrix} e_{nd+} \\ e_{nq+} \end{pmatrix} = T(\theta)|_{\theta=n\omega_b t} \begin{pmatrix} v_{ha} \\ v_{hb} \\ v_{hc} \end{pmatrix} \quad (2.19)$$

$$\begin{pmatrix} e_{nd-} \\ e_{nq-} \end{pmatrix} = T(\theta)|_{\theta=-n\omega_b t} \begin{pmatrix} v_{ha} \\ v_{hb} \\ v_{hc} \end{pmatrix} \quad (2.20)$$

이때 식(2.19) 및 식(2.20)의 궤환 신호는 순수 직류값이 아니며 기본주파수의 ($n \pm 1$)배의 주파수로 맥동하는 신호이므로 앞에서 기술한 바와 같이 적분제어기가 정상상태 오차를 영으로 만들지 못한다. 또한 역 변환시 (d-q 신호를 abc변수로) 서론에서 기술한 제어 진상각의 정보를 반드시 필요로 한다.

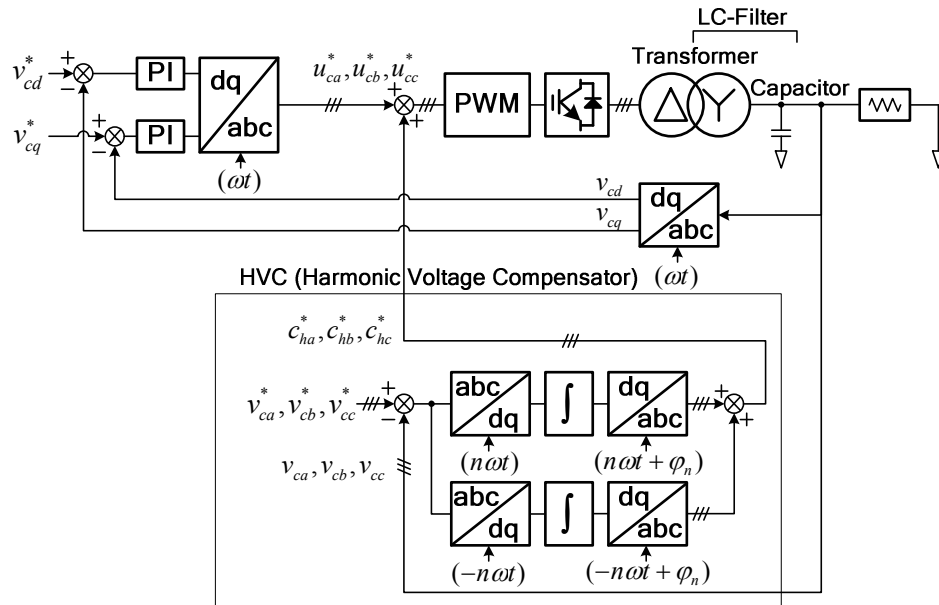


그림 2.16 비선형부하 보상을 위한 동기좌표계 전압제어기

Fig.2.16. The synchronous reference frame controller with compensator for non-linear loads.

2.3 비례+공진제어기

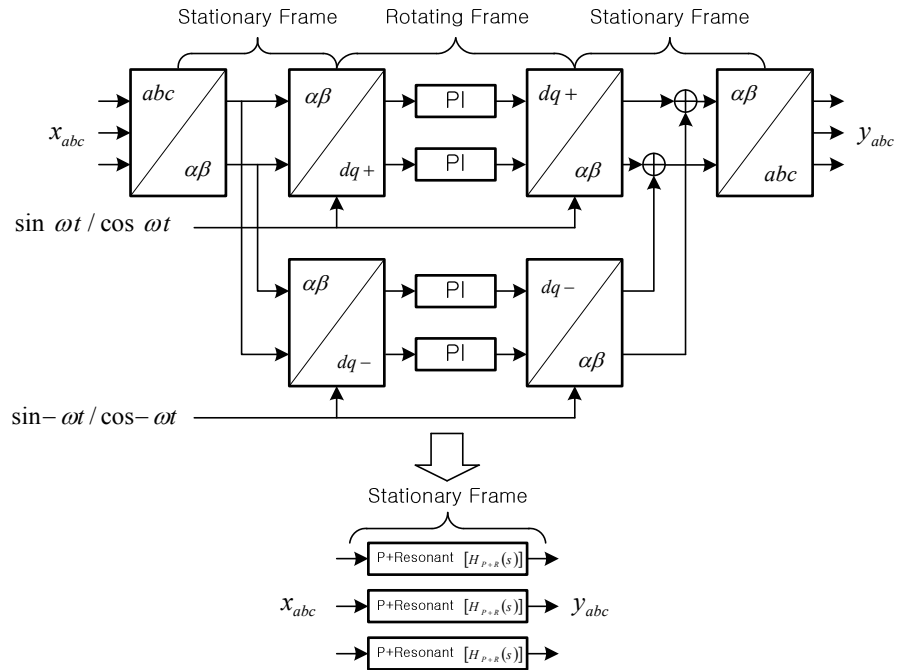
고조파 왜곡보상을 위한 그림 2.16의 전압제어기의 또 다른 단점은 부하전압에 포함된 여러 고조파 왜곡을 모두를 보상하기 위해서는 많은 연산량을 필요로 한다는 것이다. 예를 들면 5th, 7th, 11th, 13th의 4개 성분의 고조파 왜곡을 보상하기 위해서는 4개 고조파분의 위상정보와 4개의 d-q변환, 그리고 8개의 적분제어기가 필요하다. 이러한 문제를 해결하기 위해서 문헌 [47], [56]~[60]은 동기좌표계 전압제어기를 정지좌표계에서 등가적으로 수행할 수 있는 비례공진제어기(P + Resonant)를 제안하였는데 이러한 비례-공진제어기의 구성을 그림 2.17에 나타낸다. 이 그림에서 나타난 바와 같이 비례공진제어기는 고조파 전압 왜곡보상을 위한 동기 좌표계 전압제어기와 등가 구조를 가지며 이때 전달함수는 다음과 같이 표현된다.

$$H_k(s) = K_{Ik} \omega_k \frac{\cos \varphi_k s + \omega_k \cos \varphi_k - \omega_k \sin \varphi_k}{s^2 + 2\omega_k s + \omega_k^2} \quad (2.21)$$

여기서 $\varphi_k = \omega_k \tau_{Delay}$

즉 출력전압에 포함된 임의의 고조파 왜곡 주파수에서 공진을 발생하도록 하여 제어기의 게인을 높임으로써 고조파 왜곡을 보상하는 구조로 되어있다.

비례공진 제어기를 이산화 제어기로 구성할 경우에 두 가지의 제약조건을 갖는다. 첫번째 제약은 식(2.21)에서 보상하려고 하는 주파수를 나타내는 ω_k 를 디지털 필터로 정확하게 구현할 수 없는 것이며, 다른 하나는 식(2.21)은 여전히 제어진상각 φ_k 값을 필요로 한다는 것이다. 따라서 비례공진 제어기 역시 정확한 진상각의 정보를 알기 위해서 반복제어 기법을 통한 예측 알고리즘을 적용할 수 밖에 없는 제약을 가진다.



2.17 비선형 부하 보상을 위한 동기좌표 전압제어기의 비례공진제어기로의 등가변환

Fig. 2.17. Conversion of the synchronous reference frame d-q PI controller for nonlinear load compensation to the stationary frame P+R controller.

2.4 데드비트(deadbeat) 전압제어기

1988년 Kawamura가 데드비트(deadbeat) 제어 이론을 PWM 인버터에 적용한 이래 최근까지도 기존 제어기에 대한 개선책을 다룬 연구들이 이루어지고 있다. 잘 알려진 바와 같이 데드비트 전압제어기의 단점은 그 성능이 회로정수의 값에 민감하다는 것이다. 본 장에서는 모의 실험을 통해 데드비트 전압제어기의 성능을 확인하고 특히 정수값에 오차가 성능에 미치는 영향을 살펴본다.

그림 2.18에 표시된 단상 인버터 회로에 대해 커패시터 전압 V_c 와 인버터의 전류 I_{inv} 를 상태 변수(state variable)로 잡는 경우 다음과 같은 상태 변수 방정식이 성립한다.

$$\dot{x}(t) = Ax(t) + Bu(t) + Fw(t) \quad (2.22)$$

여기서 $x(t) = [I_{inv}(t) \ V_c(t)]^T$, $u(t) = V_{inv}(t)$, $w(t) = I_{Load}(t)$

$$A = \begin{bmatrix} 0 & \frac{-1}{L_f} \\ \frac{1}{C_f} & 0 \end{bmatrix}, B = \begin{bmatrix} \frac{1}{L_f} \\ 0 \end{bmatrix}, F = \begin{bmatrix} 0 \\ \frac{-1}{C_f} \end{bmatrix}$$

제어기의 샘플링 주기 T_s 가 충분히 작은 값으로, $T_s \ll 2\pi\sqrt{L_f C_f}$ 의 조건을 만족시키면 식(2.22) 은 다음과 같이 표현된다

$$x(k+1) = \bar{A}x(k) + \bar{B}u(k) + \bar{F}w(k). \quad (2.23)$$

여기서,

$$\bar{A}(T) = \begin{bmatrix} \cos \alpha T & \frac{-1}{L_f \alpha} \sin \alpha T \\ \frac{1}{C_f \alpha} \sin \alpha T & \cos \alpha T \end{bmatrix} \equiv \begin{bmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{bmatrix}, \quad \alpha = \frac{1}{\sqrt{L_f C_f}}$$

$$\bar{B}(T) = \begin{bmatrix} \frac{1}{L_f \alpha} \sin \alpha T \\ 2 \sin^2 \frac{\alpha T}{2} \end{bmatrix} \equiv \begin{bmatrix} b_1 \\ b_2 \end{bmatrix},$$

$$\bar{F}(T) = \begin{bmatrix} 2 \sin^2 \frac{\alpha T}{2} \\ \frac{-1}{C_f \alpha} \sin \alpha T \end{bmatrix} \equiv \begin{bmatrix} f_1 \\ f_2 \end{bmatrix} \text{ 이다.}$$

식(2.23)의 z-변환으로부터 식(2.24)과 식(2.25)를 얻을 수 있다.

$$zI_{inv}(z) = a_{11}I_{inv}(z) + a_{12}V_c(z) + b_1V_{inv}(z) + f_1I_{Load}(z) \quad (2.24)$$

$$zV_c(z) = a_{21}I_{inv}(z) + a_{22}V_c(z) + b_2V_{inv}(z) + f_2I_{Load}(z). \quad (2.25)$$

식(2.24)과 식(2.25)로부터 $V_c(z)$ 는 다음과 같이 구할 수 있다.

$$V_c(z) = \frac{1}{\Delta} [(b_2z + (b_1a_{21} - b_2a_{11}))V_{inv}(z) + (f_2z + (f_1a_{21} - f_2a_{11}))I_{Load}(z)], \quad (2.26)$$

$$\Delta = z^2 - (a_{11} + a_{22})z + a_{11}a_{22}.$$

따라서, 식(2.26)로부터 다음과 같은 차분 방정식이 얻어진다.

$$V_c(k) + l_1V_c(k-1) + l_2V_c(k-2) = m_1V_{inv}(k-1) + m_2V_{inv}(k-2) + n_1I_{Load}(k-1) + n_2I_{Load}(k-2) \quad (2.27)$$

여기서,

$$l_1 = -(a_{11} + a_{22}), l_2 = a_{11}a_{22}, m_1 = b_2, m_2 = b_1a_{21} - b_2a_{11}, n_1 = f_2, n_2 = f_1a_{21} - f_2a_{11} \text{ 이다.}$$

식(2.27)에서 k 값을 $k+1$ 로 증가시키고 커패시터 전압인 $V_c(k+1)$ 을 지령치인 $V_c^*(k)$ 로 대체하면 단상 인버터의 출력전압 지령치는 다음의 식 (2.28)과 같게 된다.

$$\begin{aligned}
V_{inv}(k) = & -\frac{m_2}{m_1}V_{inv}(k-1) - \frac{n_1}{m_1}I_{Load}(k) - \frac{n_2}{m_1}I_{Load}(k-1) \\
& + \frac{l_1}{m_1}V_C(k) + \frac{l_2}{m_1}V_C(k-1) + \frac{1}{m_1}V_C^*(k).
\end{aligned} \tag{2.28}$$

식(2.28)에 대한 모의 실험 결과를 그림 2.19 및 그림 2.20에 나타내었다. 모의 실험은 전압기준치를 전원단의 12.5m 시점에서 시작하여 62.5ms에서 끝나는 경우에 대해 모의 실험을 수행하였다. 먼저 그림 2.22에 제 회로정수를 정확히 알고 있을 때의 데드비트 전압 제어기의 모의 실험 결과를 표시하였다. 그림 2.19(a)의 파형을 보면 전압의 처음 인가 될 때의 전압 지령치의 급변에 대해 오버슈트를 보이는 것을 제외하면 전체적으로 제어기가 안정적으로 작동함을 볼 수 있다. 그림 2.19(b)는 (a)의 파형을 확대한 것으로 확대된 파형에서 보면 데드비트(deadbeat) 제어기의 특성상 정상 상태에서 약간의 시간 지연을 가지고 실제 전압이 전압 지령치를 추종함을 확인할 수 있다. 그림 2.20은 회로 정수에 오차가 존재하는 경우에 대한 모의 실험 결과를 표시한 것이다. 그림 2.18에 표시되어 있는 LC 회로의 인덕턴스 값과 커패시턴스 값에 각각 10%의 오차가 있고 그림 2.21에 표시된 등가 저항 R_f 에 50%의 오차가 존재하는 경우에 대해 모의 실험을 수행한 결과이다. 그림 2.20(a)에서 보면 정상 상태의 전압에도 오차가 있는 것을 확인 할 수 있으며 그림 2.20(b)의 확대된 파형에서도 정상 상태의 오차가 존재함을 알 수 있다. 따라서 전체 시스템의 등가 저항 R_f 를 정확히 모르는 경우 또는 시간이 경과함에 따라 회로 정수 값이 변동하는 경우에는 제어 성능이 떨어지고 최악의 경우 시스템의 안정성에 영향을 받을 수 있음을 알 수 있다.

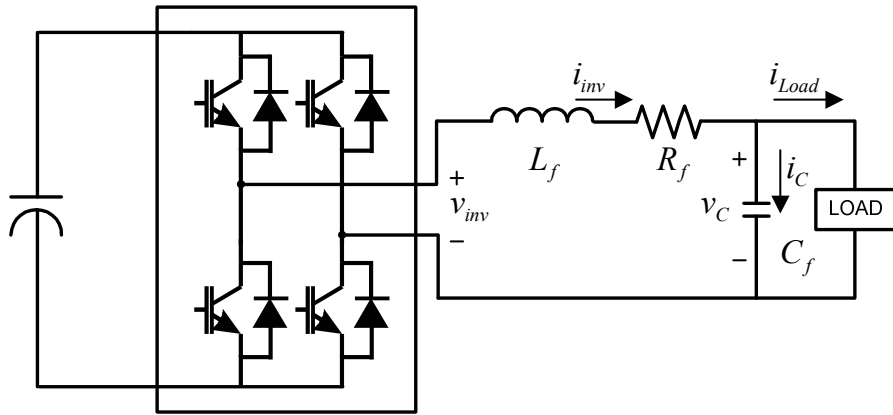
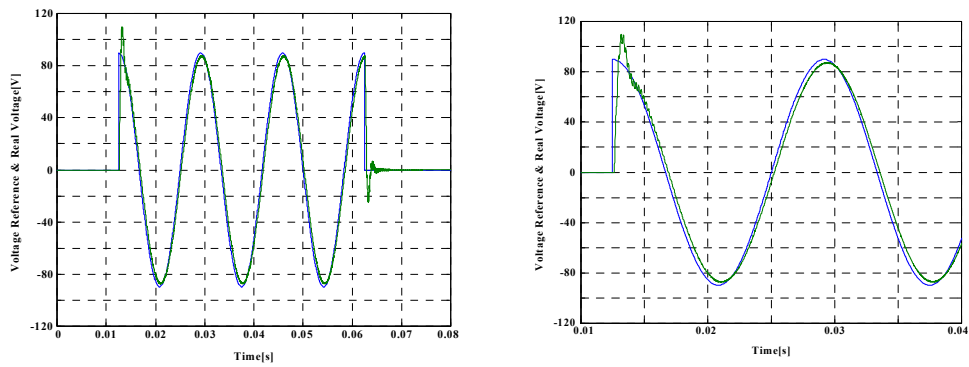


그림 2.18 단상 인버터 전력회로

Fig. 2.18. The power circuit of a single phase inverter.



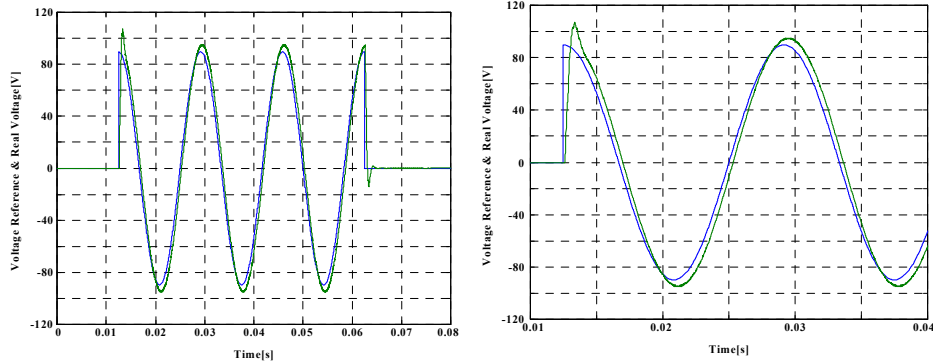
(a) 전압 지령치와 실제 전압

(b) 확대된 전압 지령치와 전압 파형

그림 2.19 전압 지령치와 실제 전압 파형 (정수값에 오차가 없는 경우)

Fig. 2.19. The voltage reference and its feedback in a deadbeat controller.

(without any error in LC filter parameters)



(a) 전압 지령치와 실제 전압

(b) 확대된 전압 지령치와 전압 파형

그림 2.20 전압 지령치와 실제 전압 파형 (정수값에 오차가 있는 경우)

Fig. 2.20. The voltage reference and its feedback in a deadbeat controller.

(with a error in LC filter parameters)

2.5 관측기를 이용한 커패시터 전류 제어기

그림 2.12에서 커패시터 제어기의 게인이 증가시키면 인버터 출력임피던스의 크기가 감소됨을 알았다. 결과적으로 커패시터에 흐르는 전류를 매우 빠르게 제어하면 커패시터 양단간 전압이 전압 기준값에 빠르게 추종하게 할 수 있다. 즉, 전압제어기의 전압 지령치인 V_c^* 로부터 식 (2.29)과 같이 전류 지령치 I_c^* 를 얻어낸 후 식(2.30)과 같은 전류 제어를 통해 커패시터의 전압을 제어하게 된다.

$$I_c^* = C_f \frac{dV_c^*}{dt} \quad (2.29)$$

$$V_i^* = (K_p + \frac{K_i}{s})(I_c^* - I_c) + V_c^* \quad (2.30)$$

식(2.30)의 전류 제어기는 비례-적분 제어기(PI controller)이며 K_p 와 K_i 가 각각 비례 이득과 적분 이득을 나타내고 있다. 단상 PWM 인버터의 커패시터 전류제어기에 의한 모의 실험 결과를 그림 2.21에 나타낸다. 모의 실험 조건은 표 2.1에 나타난 것과 같으며 전압기준을 33.3m 시점에서 발생하여 81.7ms에서 끝나는 경우에 대해 모의 실험을 수행하였다. 그림 2.21(a)에 커패시터 전압의 지령

치와 샘플링된 커패시터 전압을 나타내었고 그림 2.21(b)에 전압 급변 발생시점의 파형을 확대하여 표시하였다. 그림 2.21(a)에 나타난 것과 같이 제어기의 정상상태 특성은 우수하지만 그림 2.21(b)에 표시된 것과 같이 전압 급변시의 전압 오버슈트가 발생하고 전압 맥동이 1/8주기 이상 진행됨을 볼 수 있다. 이러한 오버슈트와 전압 맥동은 LC필터의 낮은 감쇄비에 의한 것으로써 식(2.30)에 나타난 전압 제어기 구조로는 피할 수 없다. 또한 실제 시스템에서 커패시터 전류는 인버터의 구조적인 문제로 측정이 어려우며 그렇지 않은 경우라도 그림 2.22에 표시한 것과 같이 커패시터의 전류는 인버터의 스위칭에 의한 전류리플 성분이 그대로 나타나기 때문에 측정해서 사용하기에 어려움이 있다. 이러한 문제로 기존의 연구에서는 저역 통과 필터(LPF)를 통과한 커패시터 전류를 제어기에 인가하는 방법을 사용하는 방법을 취하였다. 하지만 이러한 저역 통과 필터의 사용은 전류 측정시의 지연의 문제로 제어기의 동특성을 저하시키는 요인으로 작용한다. 이러한 문제를 해결하기 위해서 문헌 [23]은 커패시터 전류 관측기 및 데드비트 전압, 전류제어기를 사용한 고성능 커패시터 전류제어기를 제안하였다. 그림 2.23은 문헌[23]에서 제안한 커패시터 전류제어기를 갖는 전압제어 블록도이다. 커패시터 전류검출시의 시간지연을 개선하기 위해 관측기를 이용하여 커패시터 전류를 예측하고 외란에 대한 응답 속응성을 보상하기 위해 부하전류관측기를 사용하여 부하 전류값을 예측하였다. 이 제어기는 100%의 비선형 부하에서도 전압왜형률이 0.62%정도인 매우 우수한 결과를 달성하였으나 데드비트 전압제어기에서와 같이 관측기를 구성함에 있어 회로정수에 대한 정확한 정보를 필요로 하며 출력전압의 응답특성이 관측기의 게인값에 따라 좌우되는 단점을 가진다. 또한 그림 2.23의 제어기는 높은 제어대역폭을 위해서 36kHz의 매우 빠른 샘플링을 요구하므로 PWM 스위칭 주파수가 제한되는 대용량 인버터에 적용하기에는 어렵다.

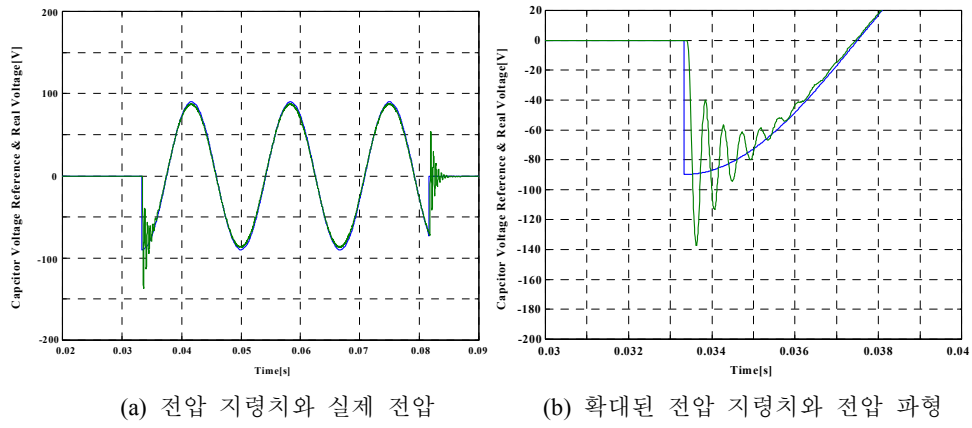


그림 2.21 전압 지령치와 실제 전압 파형

Fig.2.21. The voltage reference and its feedback in a capacitor current controller.

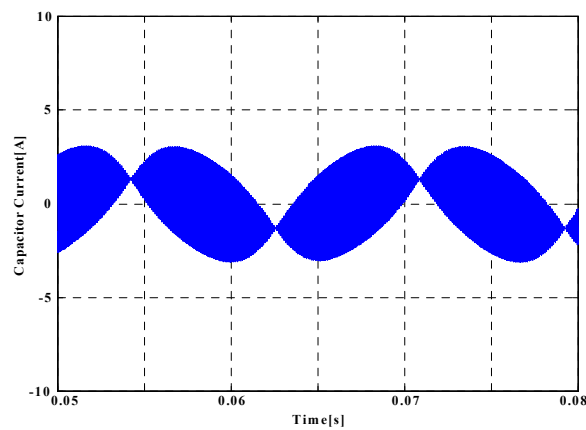


그림 2.22 커패시터 전류 파형

Fig. 2.22. Capacitor current waveform.

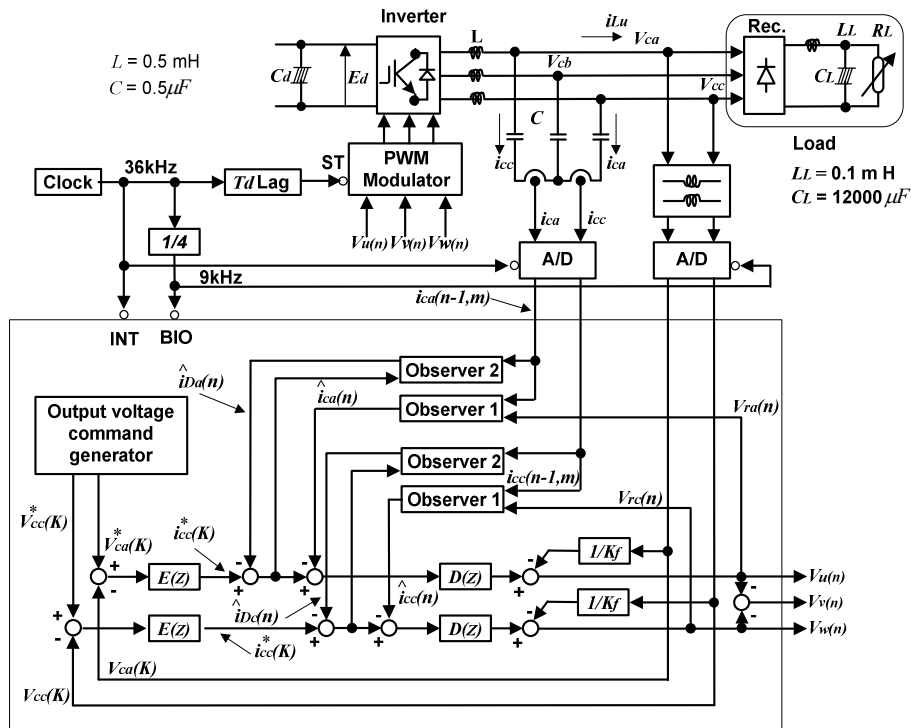


그림 2.23 전류 관측기를 갖는 커패시터 전류 제어기

Fig. 2.23. The capacitor current control scheme with an observer for current detection.

2.6 DFT를 이용한 전압제어기

문헌[44]는 부하전압의 고조파왜곡을 보상하기 위해서 DFT(Discrete Fourier Transformation)를 사용한 보상기(compensator)를 제안 하였다. 그림 2.24은 DFT방법을 이용하여 5차 고조파 왜곡을 보상하는 전압제어기의 구조를 나타낸다. 그림 2.24에서 보상기는 출력파형에 포함된 특정 고조파 성분의 크기를 DFT을 통해 산출하고 이것을 출력전압의 실효치를 제어하는 비례적분제어기의 출력에 전향 보상하는 구조를 갖는다.이 방법의 단점은 출력전압으로부터 고조파의 크기를 계산 하는데 많은 연산량을 필요로 하고, 불평형부하에 의한 출력전압의 왜곡은 보상 할 수 없다는 것이다. 또한 그림 2.24에서 정상상태 오차를 영으로

하기 위해서는 보상기의 비례적분제어기 출력을 5차 주파수의 교류로 변환할 때 제어진상각의 정보가 반드시 필요하다.

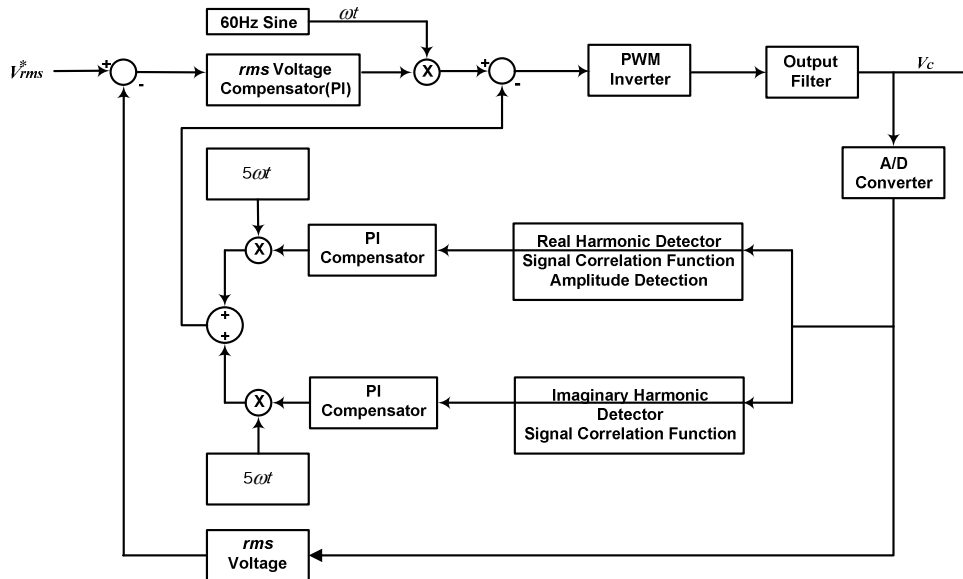


그림 2.24 DFT를 이용한 전압제어기

Fig. 2.24. Block diagram of a voltage controller with DFT compensator.

2.7 반복학습제어기

앞에서 분석된 별도의 보상기를 가지고 보상기의 출력을 주 전압제어기에 전향 보상하는 방법과 비례-공진제어기는 모두 제어진상각의 문제로 인해 정상상태 오차를 영으로 만들기 어렵다. 이러한 제어진상각의 문제는 유일하게 반복제어기로 극복 될 수 있다. 즉 인버터 출력전압의 왜곡분이 일정한 주기를 가지고 반복되는 형태의 주기함수라고 가정하면 이 오차를 메모리에 저장하고 이 오차 신호에서 제어 진상각을 보정한 신호를 주 전압제어기에 전향 보상하면 정상상태 오차를 영으로 만들 수 있다. 반복제어기는 주기함수인 오차신호를 메모리에 저장하는 것 대신 반복학습제어를 통해 순시적으로 보상하는 것이 기본원리이

The diagram illustrates a three-phase active power filter system. It consists of several key components and signal paths:

- Inverter:** A three-phase inverter with a DC link capacitor C_d and DC voltage E_d . It is driven by a PWM Modulator and an AND gate. The inverter output is connected to a three-phase line with inductance L .
- Current Regulator:** This block processes current signals to generate a reference current. It includes an AND gate, a PWM Modulator, and a 3/2 transformer. The output is a reference current i_a^* .
- Voltage Controller:** This block uses a conventional controller and a repetitive controller to generate a reference voltage. It includes a 3/2 transformer, a conventional controller, a repetitive controller, and a 2/3 transformer. The output is a reference voltage V_{ca}^* .
- Load:** The load is connected to the system via a transformer and a rectifier. It includes a rectifier (Rec.), a DC link capacitor C_L , and a load inductor L_L and resistor R_L .

The system is designed to compensate for nonlinear loads and maintain a constant DC link voltage. The reference current i_a^* and reference voltage V_{ca}^* are used to generate the PWM signals for the inverter.

Fig. 2.25. A digital repetitive learning controller for a three-phase UPS inverter.

제 3 장 새로운 동기좌표계 전압제어기 설계

3.1 제안된 전압제어기의 구성

기존 전압제어기의 특성을 분석한 결과, 인버터 전압제어기가 무정전 전원장치에 적합하게 적용되기 위해서는 다음의 조건을 만족시킬 수 있는 구조의 인버터 전압제어기를 설계할 필요하다.

- 불평형 부하 및 비선형 부하에 의한 전압왜곡을 동시에 보상할 수 있는 구조
- 제어진상각을 포함한 LC필터의 정수에 대한 정보가 없어도 정상상태 오차를 영으로 만들 수 있는 구조
- LC필터의 낮은 감쇄비로 인한 출력전압의 진동문제를 해결 할 수 있는 구조
- PLL 기능의 구현과 병렬운전이 용이한 구조

위와 같은 설계목표를 만족시킬 수 있는 새로운 동기좌표 전압 제어기를 그림 3.1과 같이 제안한다. 그림 3.1의 제어시스템은 크게 시스템의 감쇄비를 증가시켜 필터 커패시터 출력전압의 진동 및 오버슈트를 감소시키기 위한 인버터전류 전향보상기, 바이패스전원 및 출력전압의 위상 정보를 연산하기 위한 DPLL(Digital Phase Locked Loops), 출력전압의 불평형 전압왜곡 보상을 위한 불평형 부하 보상기, 그리고 고조파 전압 왜곡을 보상하기 위한 비선형 부하 보상기로 구성된다. 불평형 부하시 그 장점을 취할 수 없는 내부 루프의 전류제어기는 제거하였으며 이때 제어 시스템의 감쇄비를 증가 시키는 전류제어 계인의 역할은 인버터전류 전향보상기가 대신 하도록 하였다. 제안된 제어 시스템의 가장 중요한 특징은 주 전압제어기가 불평형 그리고 3상 비선형 부하 상태에서도 동기좌표계의 비례-적분 제어기가 3상 평형부하에서와 같이 직류값의 제어신호들을 가지고 동작함으로써 정상상태 오차를 영으로 만들 수 있다는 것이다.

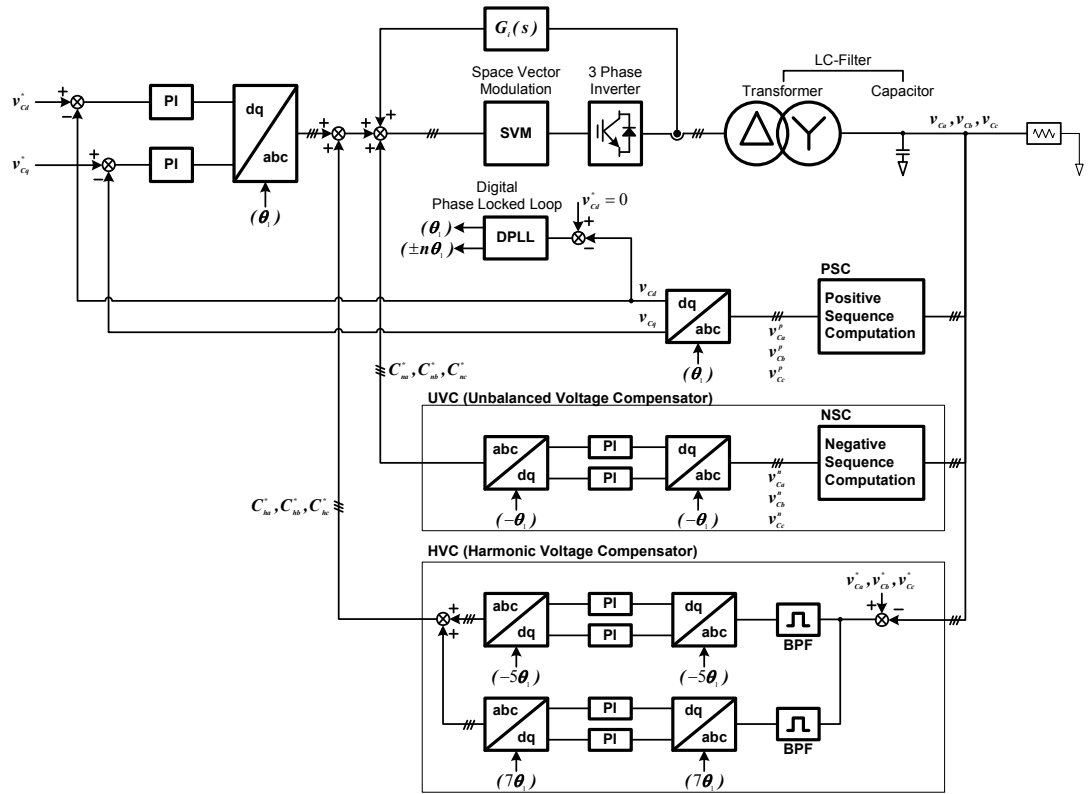


그림 3.1 새로운 동기좌표 전압제어기의 구성

Fig. 3.1. The proposed new synchronous reference frame controller.

3.2 인버터전류 전향보상기 설계

3.2.1 전향보상기의 구성

그림 3.1에서 인버터 전류 전향보상기의 단상등가 블록도는 그림 3.2와 같다. 그림 3.2에서 $I_{Load}(s)=0$, $PWM=1$, 그리고 시지연 요소 $D(s)=1$ 이라고 가정하면

$$\begin{aligned} V_C^* + V_C(sC_f G_{inv}) - V_C &= V_C(R_f + sL_f)sC_f \\ \frac{V_C}{V_C^*} &= \frac{1}{s^2 L_f C_f + sR_f C_f + 1 - sC_f G_{inv}} \end{aligned} \quad (3.1)$$

식(3.1)에서

$$G_{inv} = -[aR_f + s(bL_f)] \quad (3.2)$$

로 놓으면

$$\frac{V_C}{V_C^*} = \frac{1}{s^2(1+b)L_f C_f + s(1+a)R_f C_f + 1} \quad (3.3)$$

따라서,

$$\omega_c = \frac{1}{\sqrt{1+b}} \frac{1}{\sqrt{L_f C_f}} = \frac{\omega_f}{\sqrt{1+b}} \quad (3.4)$$

$$\xi_c = \frac{1+a}{\sqrt{1+b}} \frac{R_f}{2} \sqrt{\frac{C_f}{L_f}} = \frac{1+a}{\sqrt{1+b}} \xi_f \quad (3.5)$$

계수 a 와 b 를 적절히 정함으로써 2차 응답을 갖는 제어시스템의 주파수밴드 ω_c 및 감쇠계수 ξ_c 를 자유로이 설계할 수 있다. 본 연구에서는 식(3.2)의 인버터 전류의 전향보상기인 $G_{inv}(s)$ 의 미분항을 밴드패스 필터로 구현하여 식(3.6)과 같이 구성하였다.

$$G_{inv}(s) = -aR_f \frac{2\xi_d \omega_d s}{s^2 + 2\xi_d \omega_d s + \omega_d^2} - aR_f \quad (3.6)$$

여기서 ω_d = 중심주파수

식(3.6)의 첫번째 항은 직류게인이 aR_f 인 밴드패스 필터(Band-pass Filter)이다.

이산시스템으로 구현하기 위해서 식(3.6)을 Backward Euler방식으로 s-domain 에서 z-domain 으로 다음과 같이 변환한다. 즉 $s = (1-z)/T_{samp}$ 이므로,

$$G_{inv}(z) = -aR_f \frac{2\xi_d \omega_d T_{samp} (z^2 - z)}{(1 + 2\xi_d \omega_d T_{samp} + \omega_d^2 T_{samp}^2) z^2 - 2(1 + \xi_d \omega_d T_{samp}) z + 1} \quad (3.7)$$

여기서 BPF의 중심 주파수는 LC필터의 공진주파수로 잡고 감쇄비는 1로 하였다. 즉,

$$\omega_d = \omega_f, \quad \xi_d = 1 \quad (3.8)$$

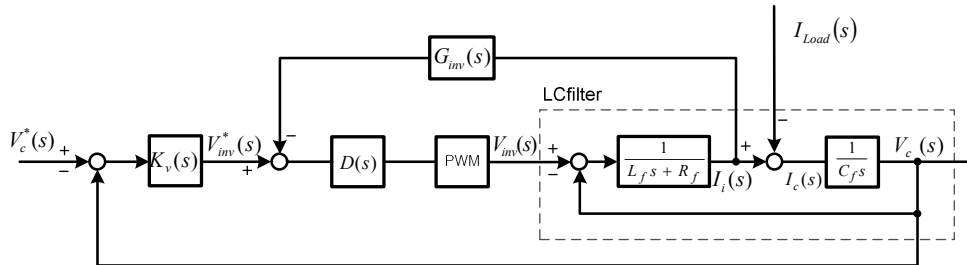


그림 3.2 인버터 전류 전향보상기의 구성

Fig. 3.2. The scheme of the current feed-forward compensation.

3.2.2 전향보상기의 게인 설계

그림 3.2에서 시지연요소 $D(s) = (2 - sT_d)/(2 + sT_d)$ 로 모델링하고 식(3.3)에서 $b=1$ 로 놓으면 전압 전달함수는 다음과 같이 표현된다.

$$\frac{V_C}{V_C^*} = \frac{(2 - sT_d)}{(2 + sT_d)} \cdot \frac{1}{(L_f C_f s^2 + R_f C_f s + 1) + a R_f C_f s \cdot (2 - sT_d)/(2 + sT_d)} \quad (3.9)$$

a 값에 따른 근궤적을 산출하기 위한 식(3.9)의 특성방정식은 다음과 같이 표현된다.

$$1 + a \frac{-R_f C_f T_d s^2 + 2R_f C_f s}{L_f C_f T_d s^3 + (R_f C_f T_d + 2L_f C_f) s^2 + (T_d + 2R_f C_f) s + 2} = 0 \quad (3.10)$$

식(3.10)의 이산화 모델에서 a 가 영에서 무한대까지 변화할 때의 근 궤적 및 과도 상태 분석에 대한 결과를 그림 3.3에서부터 그림 3.12에 걸쳐서 나타낸다. 그림 3.3은 표 2.1의 필터정수에 대한 근궤적이다. 그림 3.3에서 P1지점은 제어기의 감쇄비가 1이 되는 지점으로 이때의 a 값은 20.4이다. P2는 모든 근이 z 평면 단위원내에 존재 하는 경우의 a 의 최대값으로 이때의 a 값은 약 30이다. 그림 3.3의 각 지점에서의 과도응답을 그림 3.4와 그림 3.5에 각각 나타낸다. 그림 3.6은 필터 인덕턴스가 200 μ H일 경우의 근궤적을 나타낸다. 그림 3.6에서 P1 및 P2는 근을 반 단위원 존재하게는 a 의 임계 값으로 각각 12.7과 15.6이다. P3는 제어기의 감쇄비가 1인 지점으로 a 의 값은 24.7이다. 시스템을 안정을 위한 a 의 최대값은 P4의 지점의 값으로 53.9를 나타낸다. 그림 3.7 및 그림 3.8은 그림 3.6의 각각의 지점에서의 과도응답을 나타낸다. 필터 인덕턴스가 200 μ H일 경우는 필터 인덕턴스가 110 μ H일 경우의 비교해서 z 평면 반 단위원 안에도 근들이 존재하며 이때 대응되는 a 값의 범위는 약 12 ~ 19정도이다. 그림 3.9는 필터인덕턴스 값이 300 μ H 일 때의 결과를 나타내며 그림 3.10 및 그림 3.11은 그림 3.9의 각 지점에서의 과도응답을 나타낸다. 이 경우 근들이 반 단위원 내에 존재하게 하는 a 의 범위는 15~30으로 필터 인덕턴스가 200 μ H 일 경우보다 증가 되는 것을 알 수 있다. 또한 시스템의 안정을 위한 a 의 최대값도 85정도로 필터 인덕턴스가 110 μ H 일 때의 25, 그리고 200 μ H일 경우의 55와 비교해서 증가 되는 것을 알 수 있다. 이상의 결과에서 전류의 전향보상게인에 대한 시스템의

안정도는 LC필터의 공진주파수와 관련이 있으며 전향보상 계인은 $\zeta_c \cong (1+a)\zeta_f$ 의 관계를 고려하면

$$\zeta_c \cong (1+a)\zeta_f < 1 \quad (3.11)$$

즉

$$a_{\max} < \left(\frac{1-\zeta_f}{\zeta_f} \right) \quad (3.12)$$

로 선정하는 것이 시스템의 안정도 측면에서 바람직함을 알 수 있다. 그림 3.12에 그림 3.3, 그림 3.6, 그리고 그림 3.9의 결과를 동시에 나타낸다.

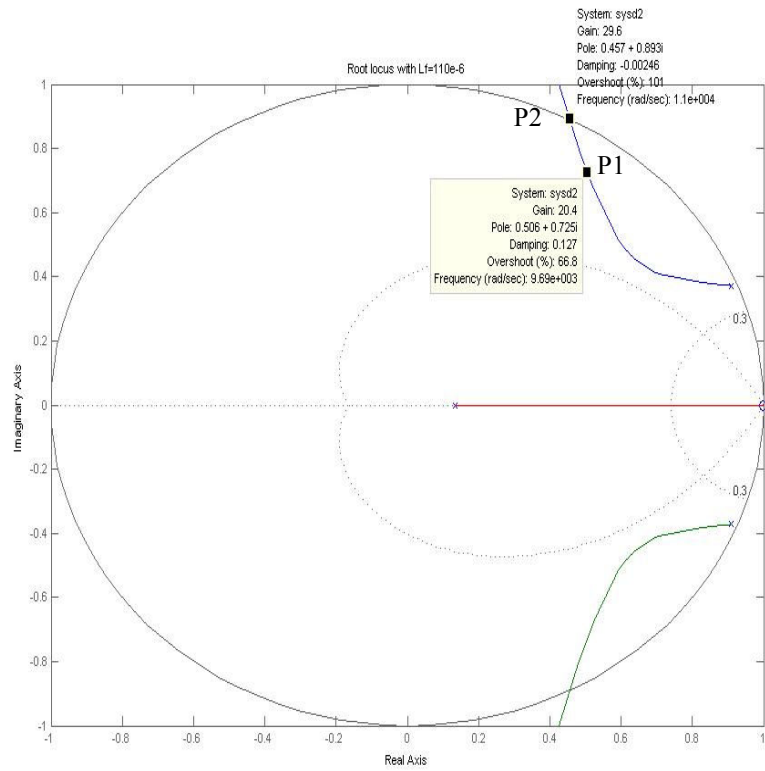


그림 3.3 $L_f=110\mu\text{H}$ 인 경우의 게인 a 에 대한 근궤적

Fig. 3.3. Root locus versus feed-forward gain a for $L_f=110\mu\text{H}$.

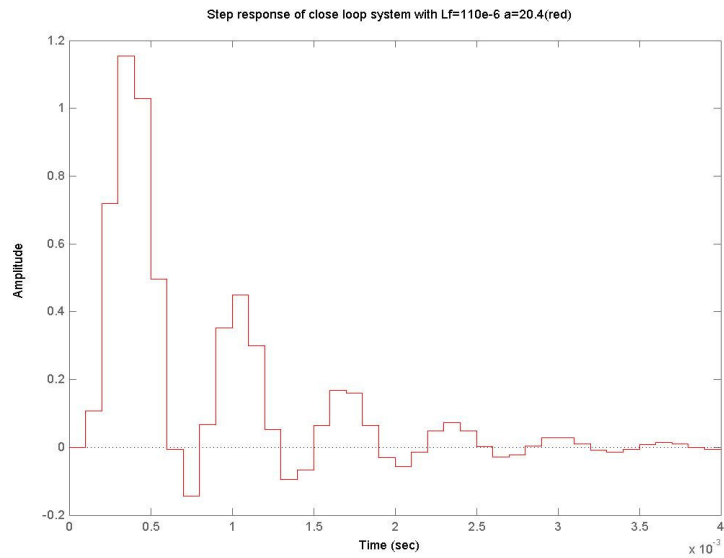


그림 3.4 그림 3.3의 P1지점에서의 과도응답

Fig. 3.4. Transient response at P1 shown in Fig. 3.3.

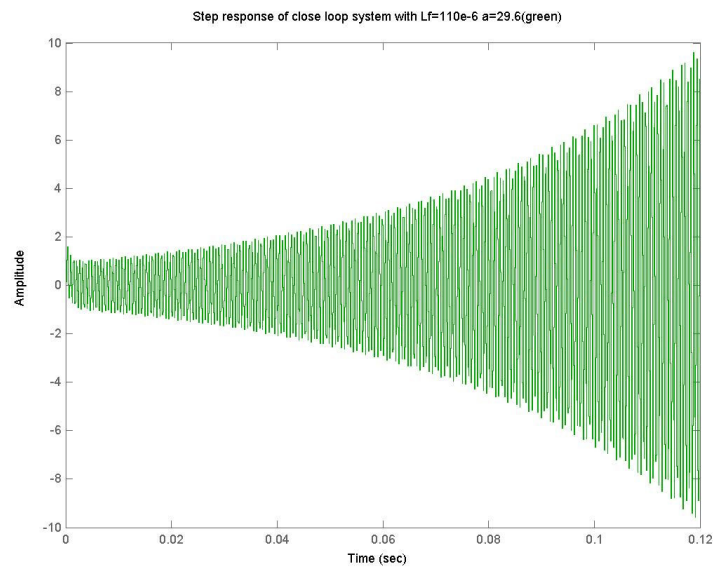


그림 3.5 그림 3.3의 P2지점에서의 과도응답

Fig. 3.5. Transient response at P2 shown in Fig.3.3.

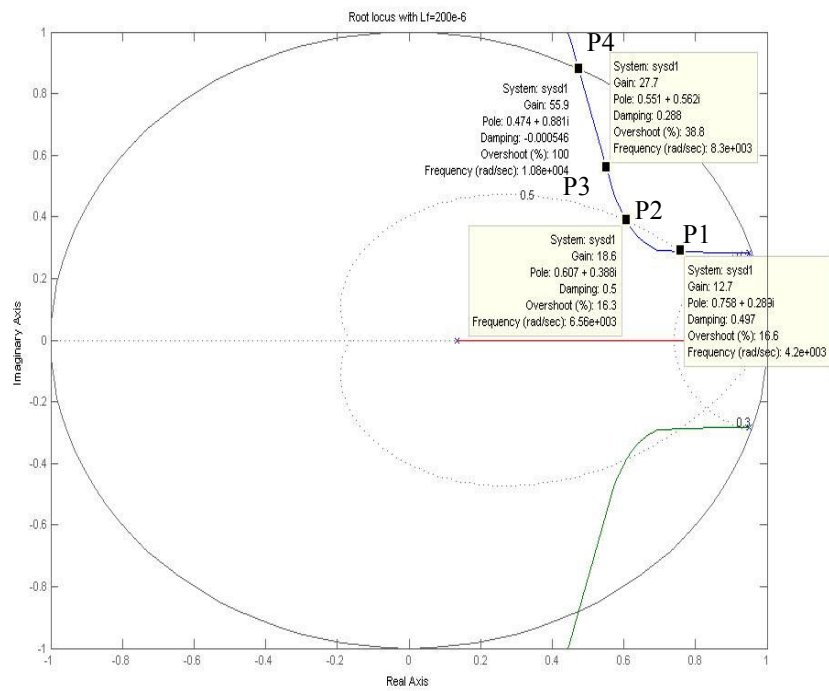


그림 3.6 $L_f=200\mu H$ 인 경우의 게인 a 에 대한 근궤적

Fig. 3.6. Root locus versus feed-forward gain a for $L_f=200\mu H$.

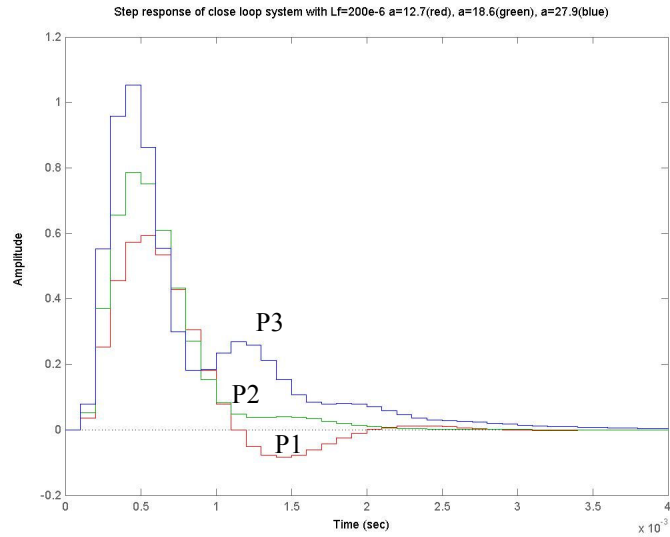


그림 3.7 그림 3.6의 P1, P2, P3지점에서의 과도응답

Fig. 3.7. Transient response at P1, P2 and P3 shown in Fig. 3.6.

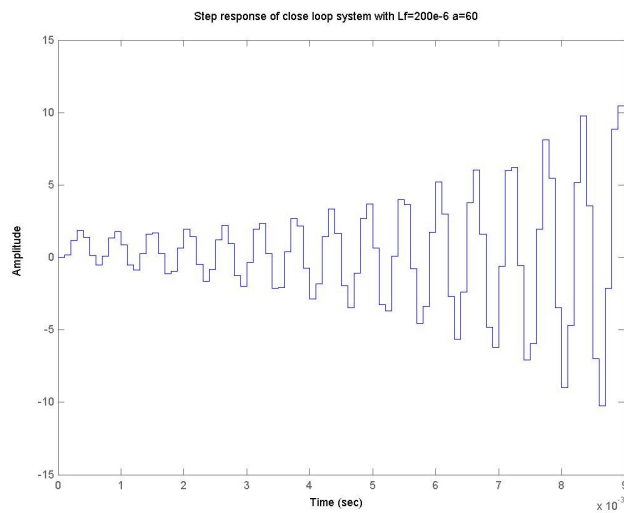


그림 3.8 그림 3.6의 P4지점에서의 과도응답

Fig. 3.8. Transient response at P4 shown in Fig. 3.6.

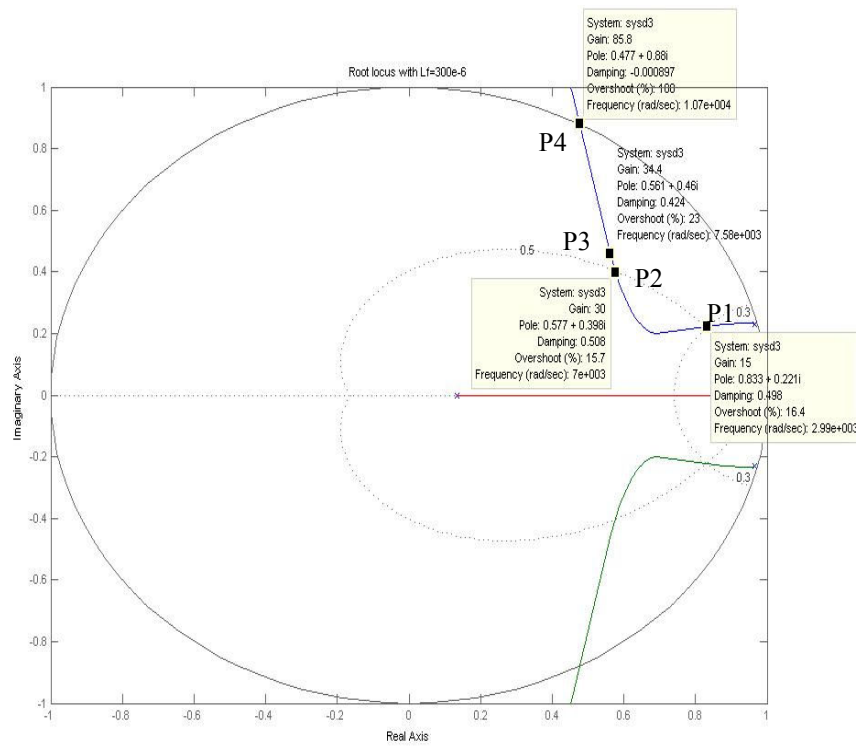


그림 3.9 $L_f=300\mu H$ 인 경우의 게인 a 에 대한 근궤적

Fig. 3.9. Root locus versus feed-forward gain a for $L_f=300\mu H$.

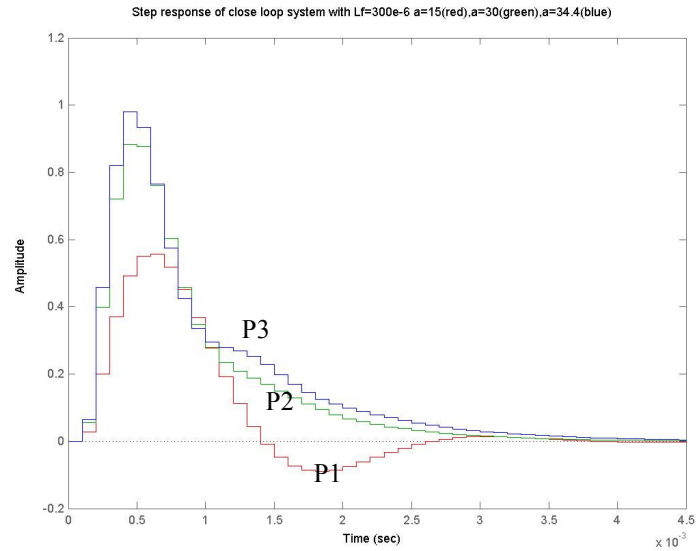


그림 3.10 그림 3.9의 P1, P2, P3지점에서의 과도응답

Fig. 3.10. Transient response at P1, P2 and P3 shown in Fig. 3.9.

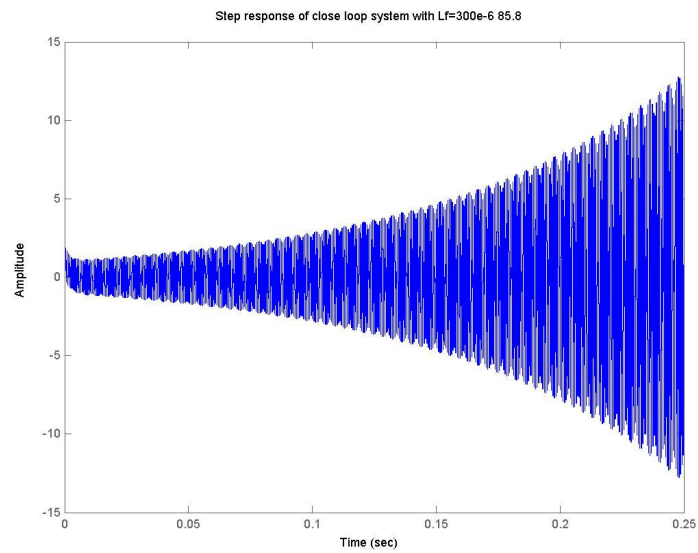


그림 3.11 그림 3.9의 P4지점에서의 과도응답

Fig. 3.11. Transient response at P4 shown in Fig. 3.9.

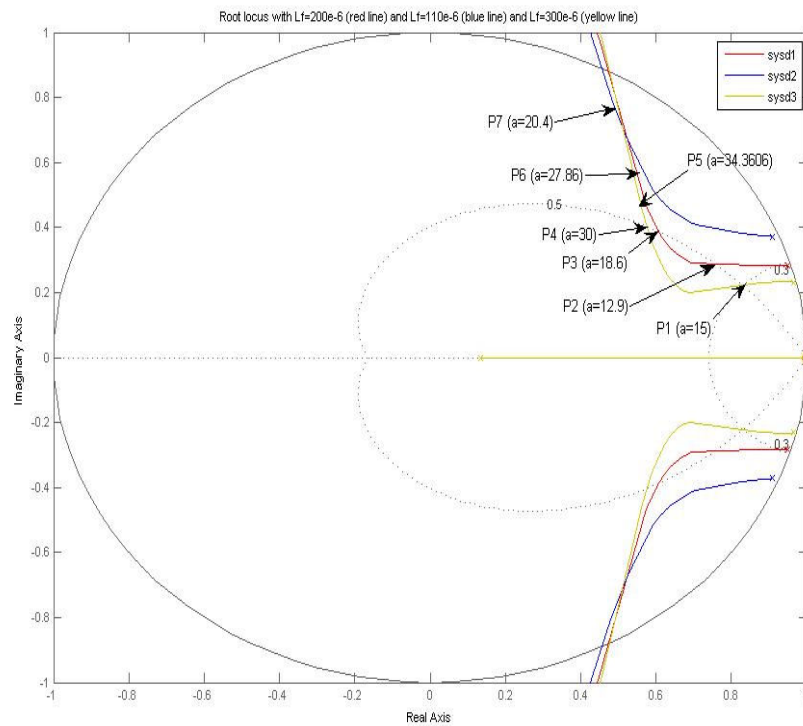


그림 3.12 게인 a 에 대한 근궤적
Fig. 3.12. Root locus versus feed-forward gain of a .

3.2.3 제안된 전압제어기의 출력임피던스 특성

그림 3.2의 블록도에서 출력임피던스는 다음과 같이 표현된다.

$$Z_O(s) = -\frac{V_C(s)}{I_{Load}(s)} = \frac{L_f s + (1+a)R_f}{L_f C_f s^2 + (1+a)R_f C_f s + 1 + K_v} \quad (3.13)$$

즉 부하전류의 외란에 대한 LC필터의 커패시터 전압 응답은 $L_f s + (1+a)R_f$ 에 관련하여 발생된다. 그림 3.13은 여러 가지 a 값에 대한 식(3.13)의 보드선도를 나타낸다. a 값이 증가 할수록 LC필터의 공진주파수에서 출력임피던스의 최대값이 작아지고 그 크기는 증가하는 것을 알 수 있다. 또한 그림 3.13의 위상곡선으로부터 a 값이 증가 할수록 출력임피던스가 점점 저항성분으로 변해가는 것을 알 수 있다. 즉 $(1+a)R_f \gg \omega L_f$ 가 되도록 a 를 선정하면 출력임피던스의 크기는 부하전류의 주파수에 관계 없이 식(3.14)과 같이 표현 된다.

$$|Z_O(j\omega)| \cong (1+a)R_f \quad (3.14)$$

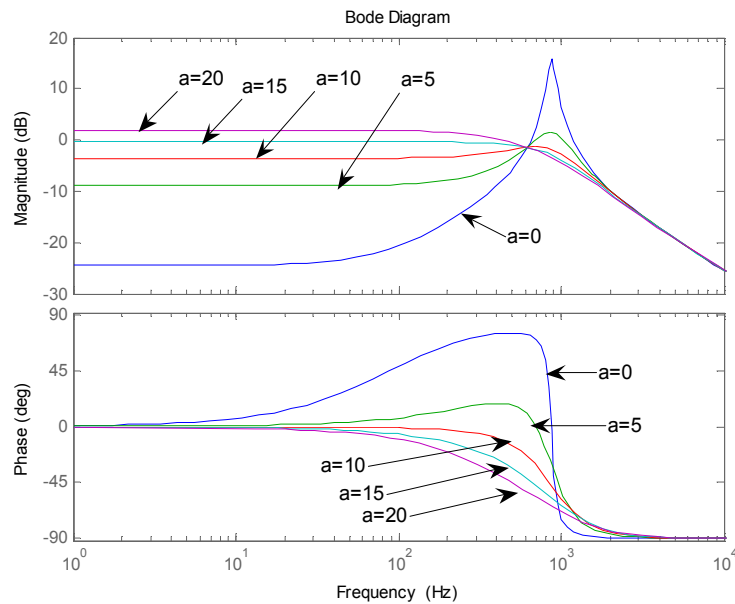


그림 3.13 게인 a 값에 대한 출력임피던스의 보드 선도

Fig. 3.13. Bode diagram of the output impedance versus gain a .

3.3 불평형 부하 보상기 설계

3.3.1 불평형 3상 시스템의 평형 대칭성분

상순이 a-b-c인 3상 시스템에서 3상 불평형 전압은 대칭좌표법(method of symmetrical coordinates)을 이용하여 완벽하게 표현 할 수 있다[90].

즉 3상 인버터 출력전압이 불평형 상태라고 가정하면 이 출력전압 벡터는 그것의 영상성분, 정상성분, 역상성분의 합으로 다음과 표현 할 수 있다.

$$\mathbf{V}_C = \mathbf{V}_C^0 + \mathbf{V}_C^p + \mathbf{V}_C^n \quad (3.15)$$

여기서

$$\mathbf{V}_c = [\vec{V}_{ca}, \vec{V}_{cb}, \vec{V}_{cc}]^T, \quad \mathbf{V}_C^p = [\vec{V}_{Ca}^p, \vec{V}_{Cb}^p, \vec{V}_{Cc}^p]^T,$$

$$\mathbf{V}_C^n = [\vec{V}_{Ca}^n, \vec{V}_{Cb}^n, \vec{V}_{Cc}^n]^T, \quad \mathbf{V}_C^o = [\vec{V}_{Ca}^o, \vec{V}_{Cb}^o, \vec{V}_{Cc}^o]^T$$

연산자 h 를

$$h = e^{j\frac{2\pi}{3}} = 1 \angle 120^\circ = -\frac{1}{2} + j\frac{\sqrt{3}}{2} \quad (3.16)$$

로 정의하면

$$\begin{aligned} h^2 &= 1 \angle 240^\circ = 1 \angle -120^\circ = -\frac{1}{2} - j\frac{\sqrt{3}}{2} \\ h^3 &= 1 \angle 360^\circ = 1 \end{aligned} \quad (3.17)$$

식(3.15)에서 정상성분 및 역상성분은 각각 3상 평형, 대칭성분이므로 b, c상의 정상성분 전압은 a상의 전압과 주어진 상순으로 120° 의 위상차를 가진다.

$$\begin{aligned} \vec{V}_b^p &= \vec{V}_a^p \angle -120^\circ = h^2 \vec{V}_a^p \\ \vec{V}_c^p &= \vec{V}_a^p \angle -240^\circ = h \vec{V}_a^p \end{aligned} \quad (3.18)$$

역상성분의 전압은 주어진 상순과 반대로 a-c-b상순으로 120° 의 위상차를 가지

므로 다음과 같이 표현된다.

$$\begin{aligned}\vec{V}_b^n &= \vec{V}_a^n \underline{120^\circ} = h\vec{V}_a^p \\ \vec{V}_c^n &= \vec{V}_a^n \underline{-120^\circ} = h^2\vec{V}_a^p\end{aligned}\quad (3.19)$$

또한 영상성분은 각상의 전압크기 및 위상이 모두 같으며 다음과 같이 표현된다.

$$\vec{V}_a^0 = \vec{V}_b^0 = \vec{V}_c^0 \quad (3.20)$$

그림 3.14은 각 대칭성분의 관계를 나타낸 벡터도이다. 식(3.16)~(3.20)를 이용해서 식 (3.15)를 행렬로 표현하면

$$\begin{pmatrix} \vec{V}_{Ca} \\ \vec{V}_{Cb} \\ \vec{V}_{Cc} \end{pmatrix} = \begin{pmatrix} 1 & 1 & 1 \\ 1 & h^2 & h \\ 1 & h & h^2 \end{pmatrix} \begin{pmatrix} \vec{V}_{Ca}^0 \\ \vec{V}_{Ca}^p \\ \vec{V}_{Ca}^n \end{pmatrix} \quad (3.21)$$

$$\mathbf{V}_C = \mathbf{M}\mathbf{V}_{pno}$$

여기서

$$\mathbf{V}_{pno} = \begin{pmatrix} \vec{V}_{Ca}^0 \\ \vec{V}_{Ca}^p \\ \vec{V}_{Ca}^n \end{pmatrix} \quad \mathbf{M} = \begin{pmatrix} 1 & 1 & 1 \\ 1 & h^2 & h \\ 1 & h & h^2 \end{pmatrix} \quad (3.22)$$

식(3.22)에서 \mathbf{V}_{pno} 는 평형인 대칭성분 전압벡터, \mathbf{M} 은 대칭성분을 불평형 상전압으로 변환하는 변환 행렬이다. 따라서 식(3.22)로부터 대칭성분 전압벡터는

$$\mathbf{V}_{pno} = \mathbf{M}^{-1}\mathbf{V}_C \quad (3.23)$$

여기서

$$\mathbf{M}^{-1} = \frac{1}{3}\mathbf{M}^* = \frac{1}{3} \begin{pmatrix} 1 & 1 & 1 \\ 1 & h & h^2 \\ 1 & h^2 & h \end{pmatrix} \quad (3.24)$$

따라서 대칭 성분의 전압은

$$\begin{pmatrix} \vec{V}_{ca}^0 \\ \vec{V}_{ca}^p \\ \vec{V}_{ca}^n \end{pmatrix} = \frac{1}{3} \begin{pmatrix} 1 & 1 & 1 \\ 1 & h & h^2 \\ 1 & h^2 & h \end{pmatrix} \begin{pmatrix} \vec{V}_{ca} \\ \vec{V}_{cb} \\ \vec{V}_{cc} \end{pmatrix} \quad (3.25)$$

식(3.25)에 식(3.23) 및 식(3.24)를 대입하면 3상 평형의 대칭성분인 정상성분 및 역상성분은 다음과 같이 표현 된다.

$$\begin{pmatrix} \vec{V}_{Ca}^p \\ \vec{V}_{Cb}^p \\ \vec{V}_{Cc}^p \end{pmatrix} = \frac{1}{3} \begin{pmatrix} 1 & h & h^2 \\ h^2 & 1 & h \\ h & h^2 & 1 \end{pmatrix} \begin{pmatrix} \vec{V}_{Ca} \\ \vec{V}_{Cb} \\ \vec{V}_{Cc} \end{pmatrix} \quad (3.26)$$

$$\begin{pmatrix} \vec{V}_{Ca}^n \\ \vec{V}_{Cb}^n \\ \vec{V}_{Cc}^n \end{pmatrix} = \frac{1}{3} \begin{pmatrix} 1 & h^2 & h \\ h & 1 & h^2 \\ h^2 & h & 1 \end{pmatrix} \begin{pmatrix} \vec{V}_{Ca} \\ \vec{V}_{Cb} \\ \vec{V}_{Cc} \end{pmatrix} \quad (3.27)$$

3.3.2 정상성분 및 역상성분 검출을 위한 디지털 필터 설계

식(3.26) 및 식(3.27)는 각각 식(3.28)과 식(3.29)과 같이 풀어서 표현 할 수 있다.

$$\begin{pmatrix} \vec{V}_{Ca}^p \\ \vec{V}_{Cb}^p \\ \vec{V}_{Cc}^p \end{pmatrix} = \frac{1}{3} \begin{bmatrix} 1 & -1/2 & -1/2 \\ -1/2 & 1 & -1/2 \\ -1/2 & -1/2 & 1 \end{bmatrix} \begin{pmatrix} \vec{V}_{Ca} \\ \vec{V}_{Cb} \\ \vec{V}_{Cc} \end{pmatrix} - \frac{1}{j2\sqrt{3}} \begin{bmatrix} 0 & 1 & -1 \\ -1 & 0 & 1 \\ 1 & -1 & 0 \end{bmatrix} \begin{pmatrix} \vec{V}_{Ca} \\ \vec{V}_{Cb} \\ \vec{V}_{Cc} \end{pmatrix} \quad (3.28)$$

$$\begin{pmatrix} \vec{V}_{Ca}^n \\ \vec{V}_{Cb}^n \\ \vec{V}_{Cc}^n \end{pmatrix} = \frac{1}{3} \begin{bmatrix} 1 & -1/2 & -1/2 \\ -1/2 & 1 & -1/2 \\ -1/2 & -1/2 & 1 \end{bmatrix} \begin{pmatrix} \vec{V}_{Ca} \\ \vec{V}_{Cb} \\ \vec{V}_{Cc} \end{pmatrix} + \frac{1}{j2\sqrt{3}} \begin{bmatrix} 0 & 1 & -1 \\ -1 & 0 & 1 \\ 1 & -1 & 0 \end{bmatrix} \begin{pmatrix} \vec{V}_{Ca} \\ \vec{V}_{Cb} \\ \vec{V}_{Cc} \end{pmatrix} \quad (3.29)$$

이때 식(3.28)의 정상성분과 식(3.29)의 역상성분은 각각 그림 3.15 및 그림 3.16 과 같은 구조의 디지털 필터로 구현 할 수 있다. 식(3.28) 및 식(3.29)의 j 는 90° 위상 지연을 의미하므로 다음과 같이 올패스 필터(all-pass filter)로 구현할 수 있다

$$V_{delay}(s) = -\frac{s - \omega_s}{s + \omega_s} V_c(s) \quad (3.30)$$

그림 3.15 및 그림 3.16 최종출력은 3상 평형이므로 각각 a-b-c상순으로 회전하는 동기좌표계와 그것과 역상순으로 회전하는 동기좌표계를 사용하여 다음과 같이 변환하면.

$$\mathbf{V}_{cdq}^p = T(\omega t) \mathbf{V}_{abc}^p \quad (3.31)$$

$$\mathbf{V}_{cdq}^n = T(-\omega t) \mathbf{V}_{abc}^n \quad (3.32)$$

여기서 T는 변환행렬로써 다음과 같이 정의된다.

$$T(\theta) = \sqrt{\frac{2}{3}} \begin{pmatrix} \cos \theta & \cos(\theta - \frac{2\pi}{3}) & \cos(\theta - \frac{4\pi}{3}) \\ -\sin \theta & -\sin(\theta - \frac{2\pi}{3}) & -\sin(\theta - \frac{4\pi}{3}) \\ 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2} \end{pmatrix} \quad (3.33)$$

여기서 중요한 사실은 정상성분 및 역상성분은 3상 평형으로 표현되므로 식 (3.31) 및 식(3.32)의 출력은 직류값으로 나타난다는 것이다. 결과적으로 부하전압의 불평형분은 그림 3.15 및 그림 3.16의 디지털 필터와 동기좌표 변환을 통해 등가 직류값으로 변환될 수 있다.

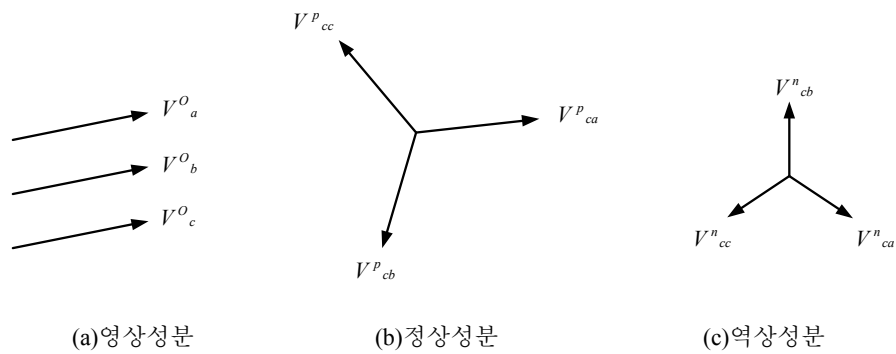


그림 3.14 불평형 3상 전압의 대칭성분

Fig. 3.14. The symmetrical components of the unbalanced three phase voltage.

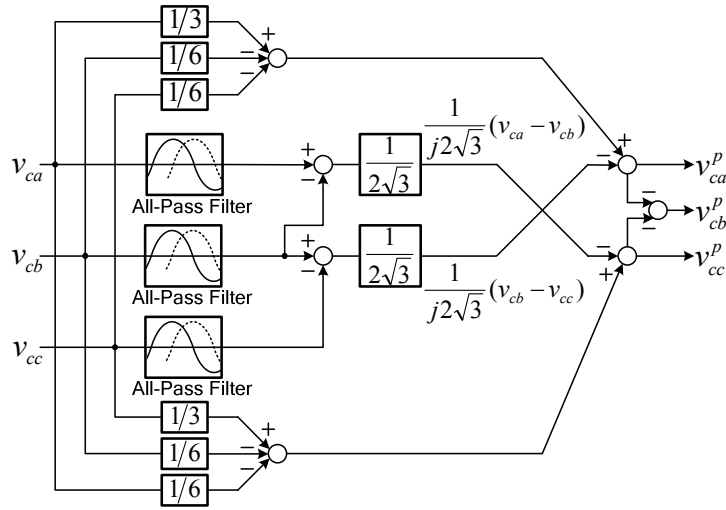


그림 3.15 정상성분 검출을 위한 디지털 필터

Fig. 3.15. Digital Filter for measuring the positive sequence components of unbalanced three phase voltage.

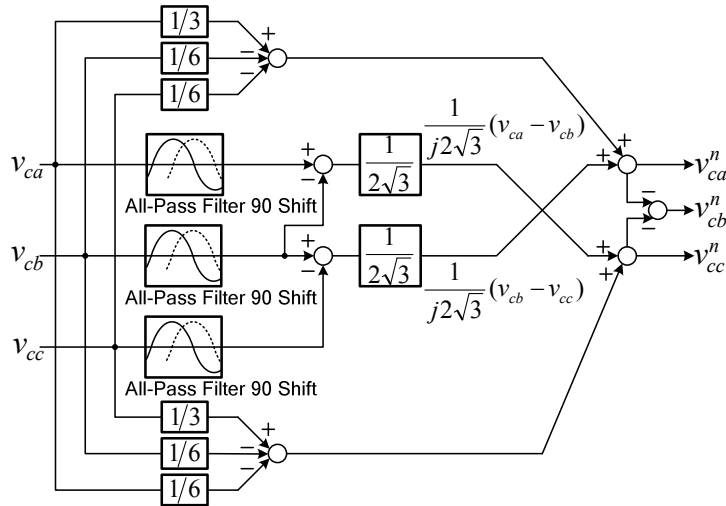


그림 3.16 역상성분 검출을 위한 디지털 필터

Fig. 3.16. Digital Filter for measuring the negative sequence components of unbalanced three phase voltage.

3.3.3 불평형 부하 보상기

그림 3.17는 그림 3.15 및 그림 3.16에 나타난 디지털 필터와 동기좌표계를 사용하여 불평형 부하시의 전압왜곡을 보상하는 불평형 전압왜곡을 보상하기 위한 제어 구성도를 나타낸다. 이미 언급한 바와 같이 식(3.31) 및 식(3.32)는 각각 직류값이므로 그림 3.17의 PI 전압제어기는 직류값을 가지고 동작하게 되어 비록 그 제어대역폭이 작아도 정상상태 오차가 없는 성능을 발휘할 수 있다. 결과적으로 그림 3.17의 전압제어기는 제어대역폭이 매우 낮아도 불평형 부하에 의한 역상성분의 전압왜곡을 완벽하게 보상 할 수 있다.

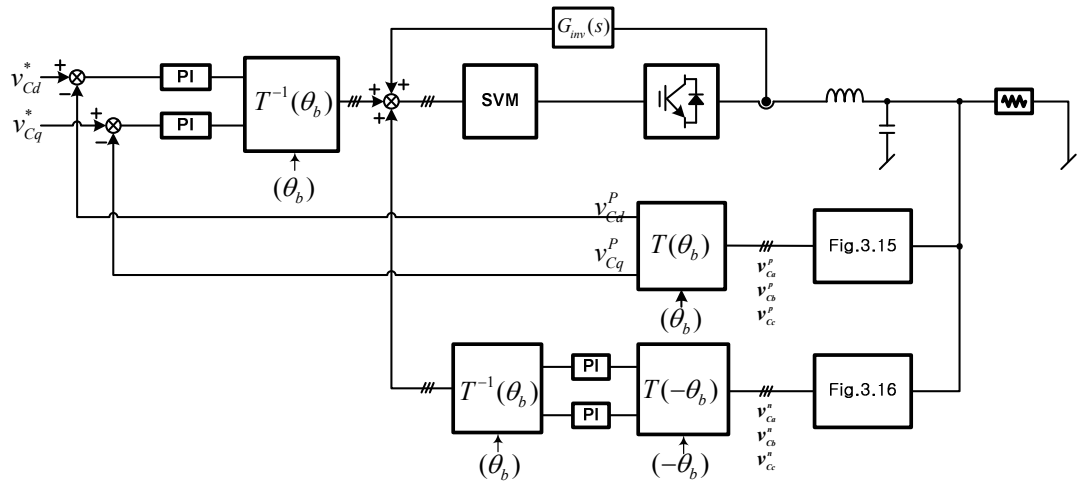


그림 3.17 불평형 부하보상을 위한 동기좌표계 전압제어기

Fig. 3.17. Proposed synchronous reference frame controller for compensation of unbalanced voltage distortion.

3.4 비선형 부하 보상기 설계

일반적으로 인버터 출력전압에 n 차 고조파 성분이 포함되어 있으면 이것을 동기좌표계로 변환할 때 n 차 고조파 성분은 $(n \pm 1)$ 차의 맥동분으로 나타난다. 반대로 동기좌표계 전압제어기의 출력에 n 차의 고조파 성분이 존재하면 이를 역변환한 전압기준치 파형에는 $(n \pm 1)$ 차 고조파가 중첩되게 된다. 예를 들면 5차 고조파분이 포함된 출력전압을 동기좌표계로 변환하면 6차의 맥동성분을 갖는 직류분으로 변환되고 이때 전압제어기의 제어대역이 이 맥동분의 주파수 보다 충분히 크지 않으면 이 맥동분은 제거되지 못하고 결과적으로 출력전압에 5차 또는 7차 고조파 성분을 이 생기게 한다. 이러한 문제를 해결하기 위한 비선형 부하보상기를 그림 3.18과 같이 제안한다. 비선형 부하에 의한 고조파 전압왜곡을 불평형 부하 보상기에서와 같이 맥동성분이 없는 직류값으로 얻기 위하여 밴드패스 필터를 갖는 동기좌표계 변환기를 사용하였다.

전압지령치와 출력전압으로부터 출력전압에 포함된 고조파분은 다음과 같이 구해진다.

$$v_h = v_C^* - v_C \quad (3.34)$$

보상이 필요한 임의의 고조파 왜곡분은 다음과 같이 검출한다.

$$V_{kdq}^p = K \cdot T(n\omega t) \frac{T_1 s}{(1 + T_1 s)(1 + T_2 s)} V_h \quad (3.35)$$

$$V_{kdq}^n = K \cdot T(-n\omega t) \frac{T_1 s}{(1 + T_1 s)(1 + T_2 s)} V_h \quad (3.36)$$

식(3.35) 및 식(3.36)은 각각 보상하려는 고조파 성분의 정상성분 및 역상성분을 의미하며, n 은 보상하려는 고조파의 주파수를 의미한다. 불평형 부하보상기에서와 마찬가지로 식(3.35) 및 식(3.36)의 출력값은 직류값이므로 보상기내의 비례적분제어기는 정상상태오차를 영으로 할 수 있다. 또한 직류값으로 동작하는 동기좌표계의 고유한 특성에 의해서 d-q축 전압제어기의 출력은 정상상태 오차를 영으로 하기 위한 위상정보를 가지고 있으므로 시간지연 보상을 위한 별도의 위상각 정보를 필요치 않는다.

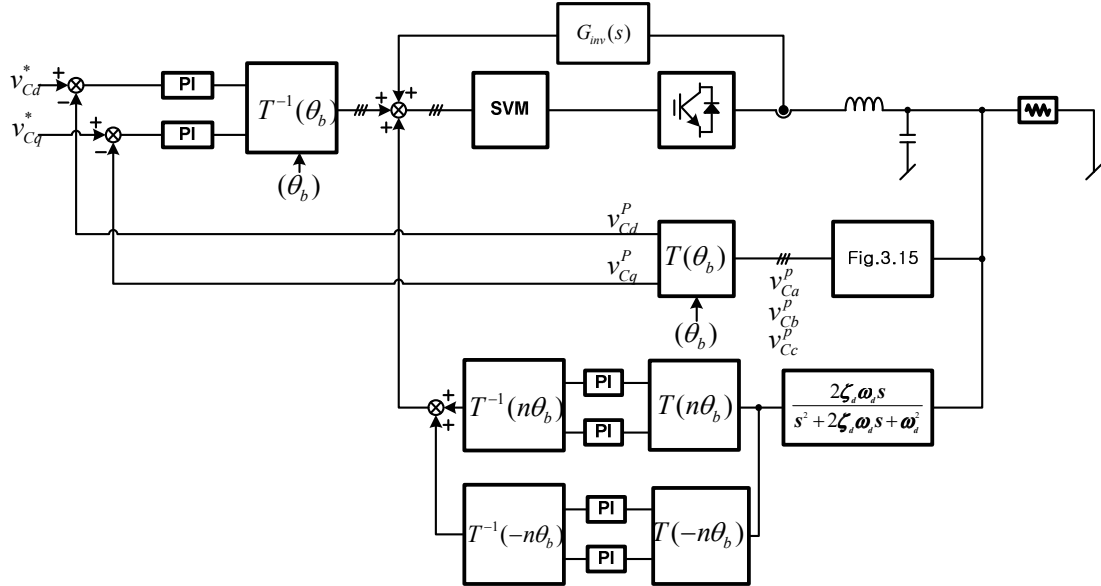


그림 3.18 비선형 부하 보상을 위한 동기좌표계 전압제어기

Fig. 3.18. Proposed synchronous reference frame controller for compensation of harmonic voltage distortion.

3.5 PLL 설계

문헌 [61]은 동기좌표계를 사용하여 고성능 디지털 PLL을 구현할 수 있음을 보였다. 본 연구에서 그림3.1의 DPLL은 그림 3.15의 정상성분 검출을 위한 디지털 필터를 이용하여 그림 3.19와 같이 매우 쉽게 구성된다. 일반적으로 무정전 전원장치에서의 PLL은 실제 전원의 전기각을 검출하는 것뿐 만 아니라 보상 전압의 기준 위상을 만들어주는 데에도 그 의의가 있다. 만약 전원 전압에 사고가 일어난 경우 PLL이 그 영향을 받아 출력 위상이 변해 주파수가 변동하게 된다면 그것은 주파수 변화에 민감한 부하의 경우 안 좋은 영향을 끼칠 수 있다. 따라서 출력 전압의 주파수의 변동률을 최소화 하는 것이 필요하다. 그러나 기존의 PLL은 전원 전압의 주파수가 변동할 경우 출력 전압의 주파수도 변하게 된

다. 만일 기존의 PLL을 이용하여 주파수 변동의 효과를 최소화 하려면 제어기의 이득(gain)을 낮추어서 구현할 수 있다. 그러나 이와 같은 방법은 PLL의 동특성을 저하시키게 된다. 이러한 문제를 개선하기 위해서 그림 3.19의 PLL을 위한 비례-적분제어기에 주파수 제한기(limiter)와 안티 와인드업(anti-wind up)을 추가하였다. 주파수 제한기는 전원 주파수 변동률을 일정한 범위 내에서 제한하는 기능을 수행한다. 안티 와인드업은 제어기 출력신호의 미분을 보상하여 제어기의 포화를 방지하는 역할을 한다.

기존의 방법과 주파수를 제한한 방법의 차이를 알아보기 위하여 표 3.1과 같은 조건에서 모의 시험을 수행하였다. 그림 3.20과 같이 모의 사고가 일어난 경우 무정전 전원장치의 인버터 출력전압은 그림 3.21과 같다. 그림 3.22는 보상이 일어나는 과정중의 인버터 출력전압의 주파수를 나타낸 것이다. 그림에서 보는 것처럼 보상의 시작 부분과 끝 부분에서 주파수 변동이 일어나는 것을 알 수 있다. 이러한 주파수 변동은 제한해야 할 필요가 있다. 그림 3.23은 그림 3.19의 PLL을 이용한 결과이다. 그림 3.22에서 보는 것처럼 기존의 PLL은 보상의 시작과 끝부분에서 주파수 변동이 크게 나타나는데 비하여 그림 3.23의 제안된 PLL은 제한한 주파수 대역인 59.4~60.6Hz 에서 주파수가 제한되어 있음을 알 수 있다. 제안된 PLL을 이용할 경우 정상 상태에서 제어기 입력이 변동하더라도 동특성이 저하되지 않아 주파수 범위가 제한된 상태에서 손실을 최소화 하며 안정된 출력 전압을 낼 수 있다. 또한 정전 모드 에서 동기 투입 모드로 들어갈 경우 출력 전압이 제한된 주파수 범위 내에서 전원 전압과 동기가 맞추어 지므로 별도의 알고리즘 없이 간단히 전원 전압과 동기 시킬 수 있다. 따라서 이와 같은 PLL은 무정전 전원장치에 매우 적합하다고 볼 수 있다.

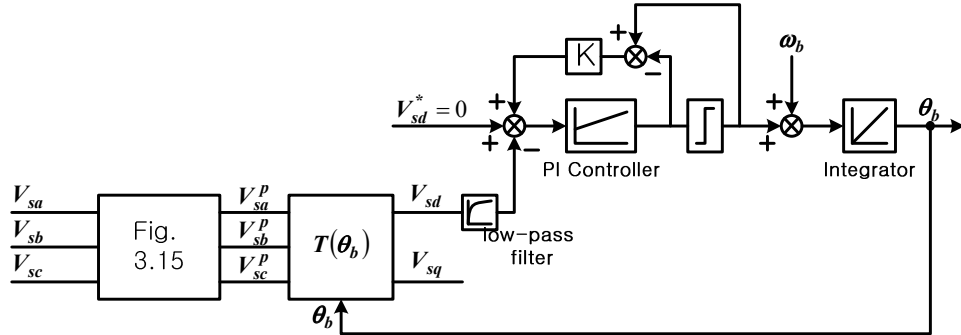


그림 3.19 DPLL 구성

Fig. 3.19. Configuration of DPLL

표 3.1 모의시험 조건

Table. 3.1 Test condition for PLL

- 실행 시간 : 0.0~0.6sec
- 전원 전압 Peak 값 : 310V
- 사고 발생 시간 : 0.2~0.44sec(15주기)
- 사고 조건 : 20%의 B상 sag, B상 55도, C상 -20도의 phase jump 발생

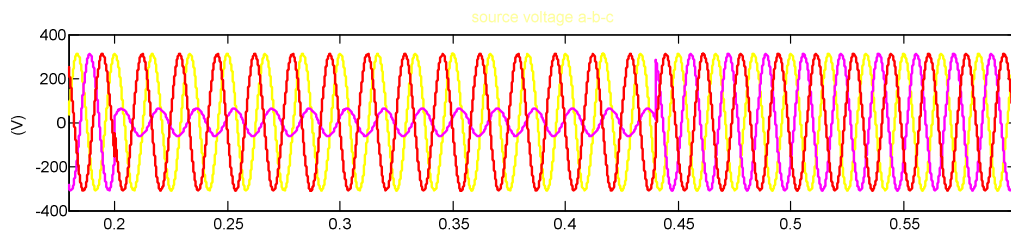


그림 3.20 모의 사고가 발생한 전원 전압

Fig. 3.20. Failed utility voltage source.

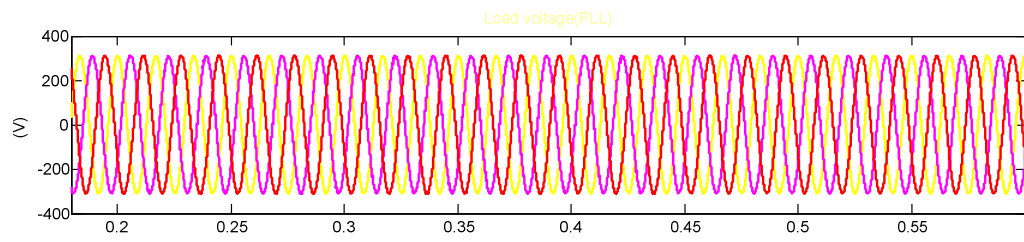


그림 3.21 보상된 부하 전압

Fig. 3.21. The inverter output voltage in UPS.

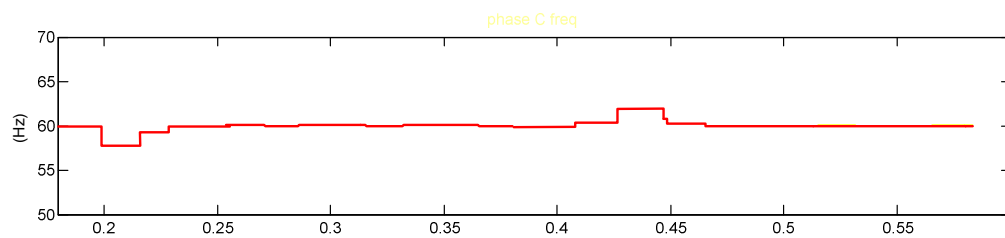


그림 3.22 기존의 PLL을 이용한 경우의 인버터 출력전압의 주파수

Fig. 3.22. The frequency of the inverter output voltage in conventional PLL method.

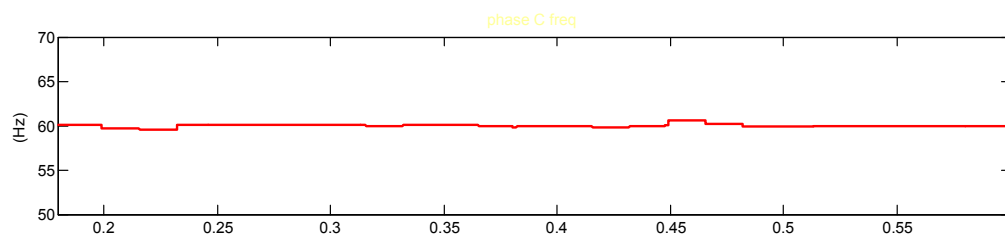


그림 3.23 개선된 PLL을 이용한 경우의 부하 전압의 주파수

Fig. 3.23. The frequency of the inverter output voltage in proposed PLL method.

3.6 병렬운전 전압제어기 설계

무정전 전원장치는 신뢰성을 높이기 위한 이중화(redundancy)의 목적으로 또는 용량 증대의 목적을 위해서 무정전 전원장치의 병렬운전은 필수적이다. 무정전 전원장치의 병렬운전의 핵심기술은 병렬 운전되는 각각의 인버터간에 순환전류가 흐르지 않도록 하는 것이다. 다시 말하자면 병렬 운전되는 인버터가 각각의 출력전류를 모두 부하로 흐르게 하여 병렬 운전되는 각각의 인버터가 부하를 서로 균등하게 부담하는 것이다. 병렬 운전되는 인버터의 출력전압을 정현파라고 가정하면 인버터 사이의 흐르는 순환전류는 각 인버터 출력전압의 위상 또는 전압의 크기의 차이에 의해서 발생하는데 이것을 기본파 순환전류라고 정의한다. 이러한 기본파 순환전류를 최소화 시키기 위해서는 각 인버터 출력전압의 위상 및 크기의 동기화가 매우 중요하다.

한편 기존의 연구에서는 시도되지 않았지만 인버터 병렬운전시 해결해야 할 또 다른 과제는 각각의 인버터 PWM (Pulse Width Modulation) 출력 파형의 비동기로 인해 흐르는 순환전류(고조파 순환전류라고 정의한다)를 제거하는 것이다. 이러한 고조파 순환전류는 부하전류 검출 할 때 옅은 문제를 야기시키고 기본파 순환전류 제거를 위한 병렬제어기의 성능을 저하시킬 뿐 만 아니라 EMC/EMI 문제를 발생시킨다.

본 장에서는 제안된 인버터 전압제어기를 사용한 3상 인버터 병렬운전 및 병렬운전 제어기의 설계에 대해서 기술하고 PWM출력파형의 비동기로 인한 고조파 순환 전류를 제거하기 위한 간단하고 효과적인 PWM 동기 방법을 제안한다.

3.6.1 순환전류의 특성 분석

병렬 운전되는 인버터의 등가회로는 그림 3.24와 같이 나타난다. 인버터1 및 인버터2의 각각의 출력전압을 v_{inv1} , v_{inv2} 라고 하고, 인버터 전류를 각각 i_{inv1} , i_{inv2} , 각각의 LC필터의 커패시터전류를 i_{C1} , i_{C2} 각각의 부하전류를 i_{Load1} , i_{Load2} 부하전압을 v_{Load} , 그리고 각각의 필터 커패시터를 C_{f1} , C_{f2} 필터리액터 임피던스 Z_{L1} , Z_{L2} 라고 하면 그림 3.24는 다음과 같은 회로방정식으로 표현된다.

$$\begin{aligned} v_{Load} &= v_{inv1} - Z_{L1} i_{inv1} \\ &= v_{inv2} - Z_{L2} i_{inv2} \end{aligned} \quad (3.37)$$

$$\begin{aligned} i_{C1} &= j\omega C_{f1} v_{Load} \\ i_{C2} &= j\omega C_{f2} v_{Load} \end{aligned} \quad (3.38)$$

$$i_{Load} = i_{Load1} + i_{Load2} = \frac{v_{Load}}{Z_{Load}} \quad (3.39)$$

$$\begin{aligned} i_{inv1} + i_{inv2} &= i_{C1} + i_{C2} + i_{Load1} + i_{Load2} \\ &= (j\omega C_{f1} + j\omega C_{f2}) v_{Load} + \frac{v_{Load}}{Z_{Load}} \end{aligned} \quad (3.40)$$

$Z_{L1} = Z_{L2} = Z_L$, $C_{f1} = C_{f2} = C_f$ 라고 가정하면 식(3.37)에서

$$\begin{aligned} i_{inv1} - i_{inv2} &= \frac{v_{inv1} - v_{inv2}}{Z_L} \\ i_{inv1} + i_{inv2} &= \frac{v_{inv1} + v_{inv2} - 2v_{Load}}{Z_L} \end{aligned} \quad (3.41)$$

그리고 식(3.40)에서

$$i_{inv1} + i_{inv2} = \left(\frac{1}{Z_{Load}} + 2j\omega C_f \right) v_{Load} \quad (3.42)$$

식(3.41) 및 식(3.42)에서 부하전압은 다음과 같다.

$$v_{Load} = \frac{v_{inv1} + v_{inv2}}{2 + Z_L \left(1/Z_{Load} + 2j\omega C_f \right)} \quad (3.43)$$

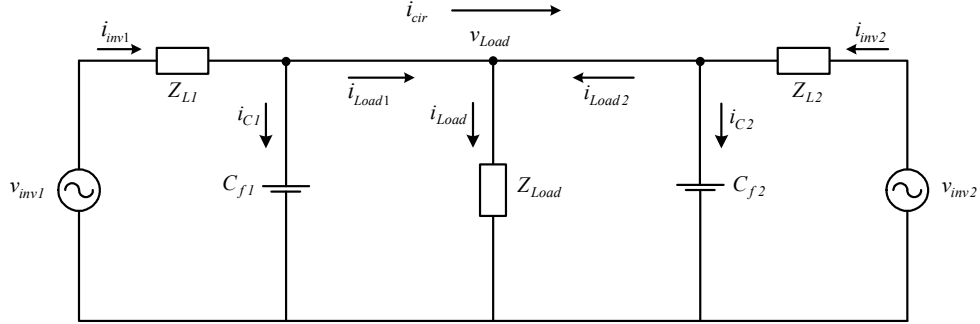


그림 3.24 병렬운전 인버터의 등가회로

Fig. 3.24. The equivalent circuit of a parallel connected inverter system.

식(3.37)~식(3.43)으로부터

$$\begin{aligned} i_{inv1} &= \frac{v_{inv1} - v_{inv2}}{2Z_L} + \frac{1}{2}v_{Load} \left(\frac{1}{Z_{Load}} + 2j\omega C_f \right) \\ i_{inv2} &= -\frac{v_{inv1} - v_{inv2}}{2Z_L} + \frac{1}{2}v_{Load} \left(\frac{1}{Z_{Load}} + 2j\omega C_f \right) \end{aligned} \quad (3.44)$$

식(3.44)은 각각의 인버터 출력전류는 부하전류분과 순환전류분으로 구성되어 있음을 알 수 있다. 이때 순환전류는 다음과 같이 표현된다.

$$i_{cir} = \frac{v_{inv1} - v_{inv2}}{2Z_L} \quad (3.45)$$

결과적으로 병렬운전시에 순환전류의 특성은 전적으로 LC필터의 필터리액터 임피던스에 따라 좌우된다는 것을 알 수 있다.

식(3.45)에서 인버터 출력전압이 식(3.46)와 같이 기본주파수만을 갖는 순수 정현파이고 v_{inv2} 가 v_{inv1} 보다 크기는 ΔV 만큼 작고 위상은 δ 만큼 뒤진다고 가정하면

$$\begin{aligned} v_{inv1} &= V_{m1} \cos \omega_b t \\ v_{inv2} &= V_{m2} \cos(\omega_b t - \delta) = (V_{m1} - \Delta V) \cos(\omega_b t - \delta) \end{aligned} \quad (3.46)$$

이에 대응하는 전압벡터는 다음과 같이 표현된다.

$$\begin{aligned}\vec{V}_{inv1} &= V_{m1} \angle 0 = V_{m1} e^{j0} \\ \vec{V}_{inv2} &= V_{m2} \angle -\delta = (V_{m1} - \Delta V) e^{-j\delta}\end{aligned}\quad (3.47)$$

이때 순환전류 벡터 \vec{I}_{cir} 는 다음과 같이 표현된다.

$$\vec{I}_{cir} = \frac{V_{m1} - (V_{m1} - \Delta V) e^{-j\delta}}{2(R_f + j\omega L_f)} = \frac{\vec{V}_d}{2(R_f + j\omega L_f)} \quad (3.48)$$

여기서 \vec{V}_d = 인버터간 전압차이 벡터
식(3.48)에서 순환전류 \vec{I}_{cir} 는 \vec{V}_d 보다 φ_v 만큼 뒤진다.

$$\varphi_v = -\tan^{-1} \frac{\omega L_f}{R_f} \quad (3.49)$$

식(3.48)의 순환전류는 인버터전압간의 크기 및 위상차에 의해 다음과 같은 특성을 갖는다.

가) 위상은 같고 크기만 다른 경우 ($\delta=0, V_{m1} \neq V_{m2}$)

($\delta=0, V_{m1} \neq V_{m2}$)의 조건을 식(3.48)에 대입하면 순환전류는 다음과 같이 표현된다.

$$\vec{I}_{cir} = \frac{\Delta V}{2(R_f + j\omega L_f)} \quad (3.50)$$

식(3.50)의 전압벡터도를 그림 3.25에 나타낸다. 이 경우에는 \vec{V}_d 은 \vec{V}_{inv1} 과 동상이며 순환전류 \vec{I}_{cir} 는 \vec{V}_{inv1} 보다 φ_v 만큼 뒤진다. 만약 출력임피던스가 순수 저항 성분 ($\omega L_f = 0$) 이면 하면 순환전류는 \vec{V}_{inv1} 과 동상이 되어 유효분의 전류가 되며, 출력임피던스가 순수 인덕턴스 성분 ($R_f = 0$) 이면 순환전류는 \vec{V}_{inv1} 보다 90° 뒤지게 되어 무효분이 된다.

나) 크기는 같고 위상만 다른 경우 ($\delta \neq 0, V_{m1} = V_{m2}$)

($\delta \neq 0, V_{m1} = V_{m2}$)의 조건을 식(3.48)에 대입하면 순환전류는 다음과 같이 표현된다.

$$\vec{I}_{cir} = \frac{V_{m1} - V_{m1}e^{-j\delta}}{2(R_f + j\omega L_f)} \quad (3.51)$$

식(3.51)에서 δ 가 매우 작다고 가정하면 은 다음과 같이 표현할 수 있다.

$$\vec{I}_{cir} = \frac{V_{m1} - V_{m1}\cos\delta + V_{m1}\sin\delta}{2(R_f + j\omega L_f)} \cong \frac{V_{m1}\sin\delta}{2(R_f + j\omega L_f)} \quad (3.52)$$

식(3.52)의 전압벡터도를 그림 3.26에 나타낸다. 이 경우에는 \vec{V}_d 는 \vec{V}_{inv1} 보다 90° 진상이다. 따라서 식(3.52)의 순환전류는 출력임피던스가 순수 저항성분이면 \vec{V}_{inv1} 보다 90° 앞선 무효성분의 순환전류가 되며 반대로 출력임피던스가 순수 리액턴스 성분이면 \vec{V}_{inv1} 과 동상인 유효성분의 전류가 된다.

식(3.50) 및 식(3.52)로부터 출력전압의 크기만 다른 경우에 순환전류는 ΔV 에 비례하는 반면에 위상이 다른 경우에는 $V_{m1}\sin\delta$ 에 비례한다. 따라서 출력전압의 위상차로 인해 흐르는 순환전류가 전압의 크기차이로 인한 순환전류보다 훨씬 심각한 영향을 준다는 것을 알 수 있다.

한편 식(3.50) 및 식(3.52)에서 LC필터의 출력임피던스가 순수 리액턴스 성분이라고 가정하면 전압차이로 인한 순환전류는 출력전압과 90° 뒤지게 되어 무효전력을 발생하게 되며, 반대로 위상차이로 인한 순환전류는 출력전압과 동상이 되어 유효분의 전력을 발생한다. 기존의 인버터 병렬 제어방법에서는 이와 같이 출력임피던스를 순수 리액터라고 가정하여 순환전류로부터 유효 및 무효전력을 계산하여 무효 전력분은 출력전압에 대한 전압기준의 크기를 가감하고 반대로 유효전력분은 전압기준의 위상을 조정하였다. 그러나 일반적으로 무정전 전원장치용 인버터의 경우 LC필터의 리액턴스는 약 0.02~0.03p.u. 정도의 실제 저항분을 가지므로 기존의 방법은 순환전류를 완전히 제거하지 못하는 문제를 가진다.

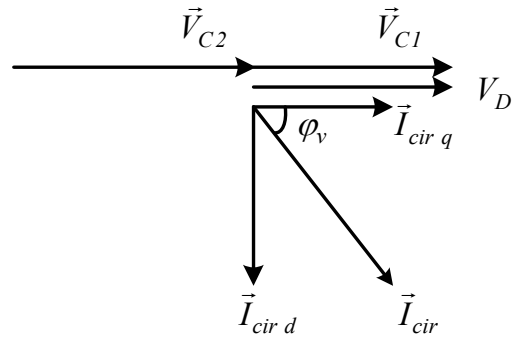


그림 3.25 인버터 출력전압 및 순환전류 벡터도 (전압크기차이만 존재하는 경우)

Fig. 3.25. Vector diagram of the inverter output voltage and the circulation current in case of the voltage magnitude error.

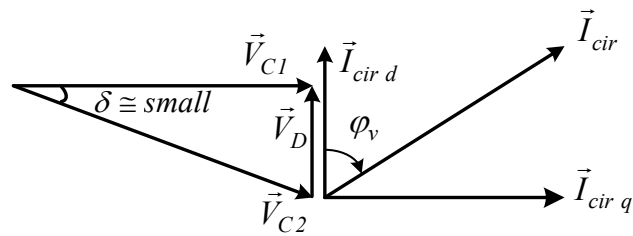


그림 3.26 인버터 출력전압 및 순환전류 벡터도 (위상차만 존재하는 경우)

Fig. 3.26. Vector diagram of the inverter output voltage and the circulation current in case of the voltage phase error.

3.6.2 병렬운전을 위한 전압제어기 설계

제안된 전압제어기의 경우 필터리액터의 임피던스는 다음과 같다.

$$Z_L(j\omega) = (1+a)R_f + j\omega L_f \quad (3.53)$$

기본과 주파수 대역에서 식(3.53)은 다음과 같이 표현된다.

$$Z_L = (1+a)R_f + j\omega_b L_f \quad (3.54)$$

따라서 제안된 전압제어기를 병렬운전에 적용할 경우에 순환전류는 다음과 같이 나타난다.

$$\vec{I}_{cir} = \frac{\vec{V}_d}{2(1+a)R_f + j2\omega_b L_f} \quad (3.55)$$

한편 식(3.54)에서 a 를 충분히 크게 선정하면

$$(1+a)R_f \gg j\omega_b L_f \quad (3.56)$$

가 되어 필터리액터 임피던스는 식(3.57)과 같이 순수 저항으로 나타나게 되며

$$Z_L \cong (1+a)R_f \quad (3.57)$$

이 경우의 순환전류를 \vec{I}_{cir_a} 라고 하면 다음과 같다.

$$\vec{I}_{cir_a} = \frac{\vec{V}_d}{2(1+a)R_f} \quad (3.58)$$

식(3.58)의 순환전류는 전압차이의 백터와 동상이므로 인버터간에 전압크기의 차이가 발생 할 때는 유효분 전력을 발생시키고 위상차가 발생할 때는 무효분의 전력을 발생시키게 된다. 이와 같은 관계를 그림 3.27에 백터도로 나타낸다. 그림 3.28과 그림 3.29는 제안된 제어기의 병렬운전시 전압차 및 위상차이가 발생시 인버터 전류 전향 보상계인값에 따른 발생하는 순환전류 특성을 나타낸다. 한편 제안된 전압제어기의 경우에 a 값에 따른 식(3.54)의 크기는 그림 3.30에 나타난 바와 같이 a 값이 증가할수록 그 크기가 증가하는 형태를 갖는다. 예를 들면 그림 3.29에서 ($a=10$) 정도로 선정하여도 필터 인덕터의 임피던스가 약 7배 이상 증가한다. 결과적으로 a 를 적정히 선정하면

$$Z_{Oi} = (1 + a)R_f \gg Z_{Load} / 2 \quad (3.59)$$

이 되어서 기존 전압제어기에 비해 인버터간에 흐르는 순환전류가 더 억제되게 된다.

앞에서 분석한 결과를 바탕으로 제안된 전압제어기의 병렬운전을 위한 기본과 순환전류 제어기를 그림 3.31과 같이 구성 된다. 병렬 운전되는 각각의 인버터는 자신의 부하전류를 식(3.60)과 같이 동기좌표계로 변환하여 CAN 통신을 통해 다른 장비에 전송하며, 각각의 인버터는 이들 전류를 모두 더하여 공통의 부하단에 흐르는 전 부하전류를 산출한다. 이때 각각의 인버터가 공급해야 할 부하전류 $I_{Load\ dq}^*$ 는 식(3.61)와 같이 계산되며 실제로 흐르는 순환전류는 식(3.62)와 같이 연산한다. 이러한 구조는 순환전류의 연산을 위한 전부하전류를 검출하기 위해서 부하단에 별도의 전류센서를 설치할 필요가 없기 때문에 상품적 가치를 향상 시킨다. 그림 3.30의 순환전류제어기는 그림 3.1에서 제안된 제어기의 상위에 위치하며 그림 3.31과 같다.

$$I_{Load\ dq} = T(\theta_b)I_{Load} \quad (3.60)$$

여기서 $I_{Load\ dqo} = [i_{Load\ d}, i_{Load\ q}, i_{Load\ o}]^T$, $I_{Load} = [i_{Load\ a}, i_{Load\ b}, i_{Load\ c}]^T$

$$I_{Load\ dq}^* = \sum_{n=1}^n I_{Load(n)dq} / n \quad (3.61)$$

여기서 n = 병렬운전 인버터 대 수

$$I_{cir\ dq} = I_{Load\ dq}^* - I_{Load\ dq} \quad (3.62)$$

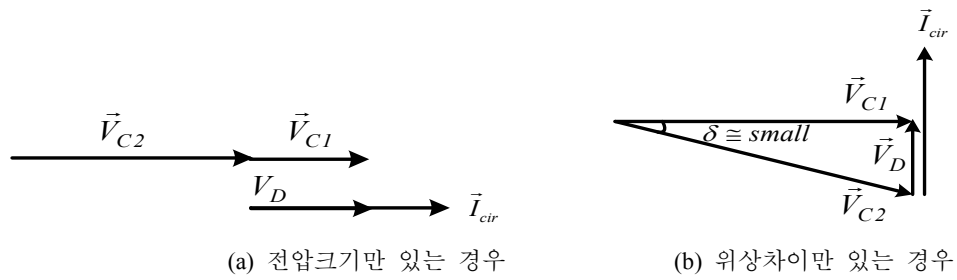


그림 3.27 제안된 전압제어기의 순환전류 벡터도

Fig. 3.27. The output voltages and the circulating current vector diagram for the proposed voltage controller.

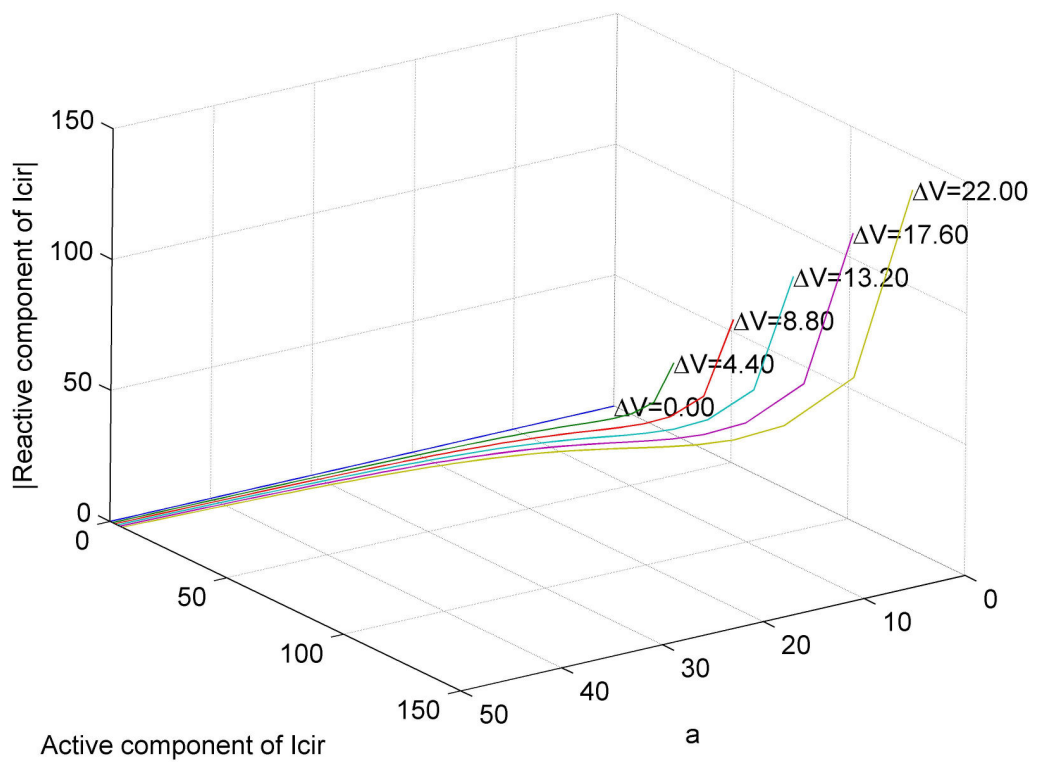


그림 3.28 전압차이에 의한 순환전류

Fig. 3.28. The magnitude of the circulation current by voltage magnitude difference in the proposed control system.

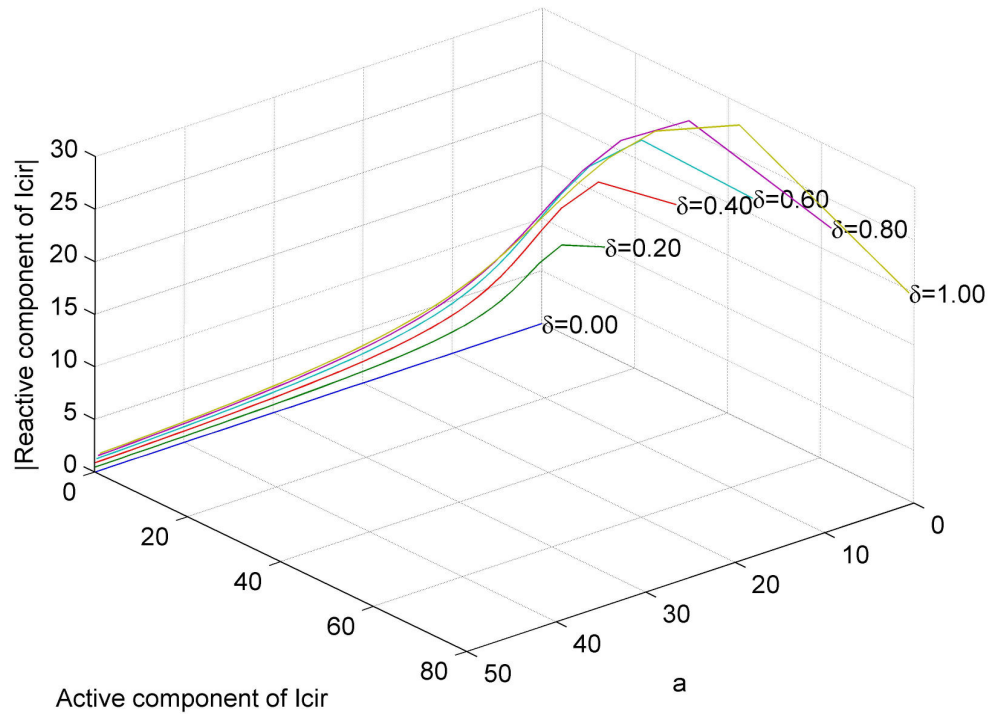


그림 3.29 위상차이에 의한 순환전류

Fig. 3.29. The magnitude of the circulation current by voltage phase difference in the proposed control system.

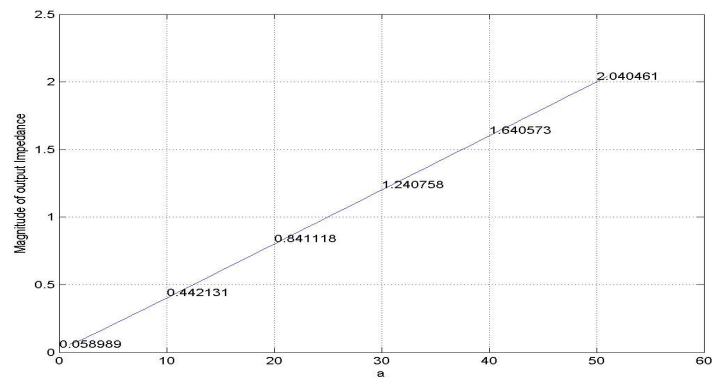


그림 3.30 제안된 전압제어기의 출력 임피던스 특성

Fig. 3.30. The output impedance characteristics versus gain a in the proposed controller.

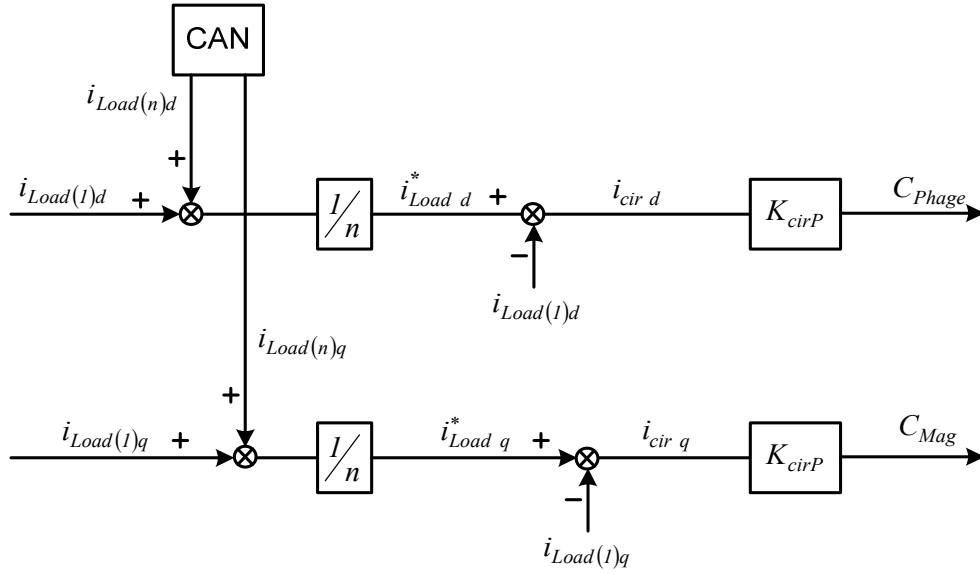


그림 3.31 제안된 기본과 순환전류제어기

Fig. 3.31. Proposed control scheme for elimination of the circulation current.

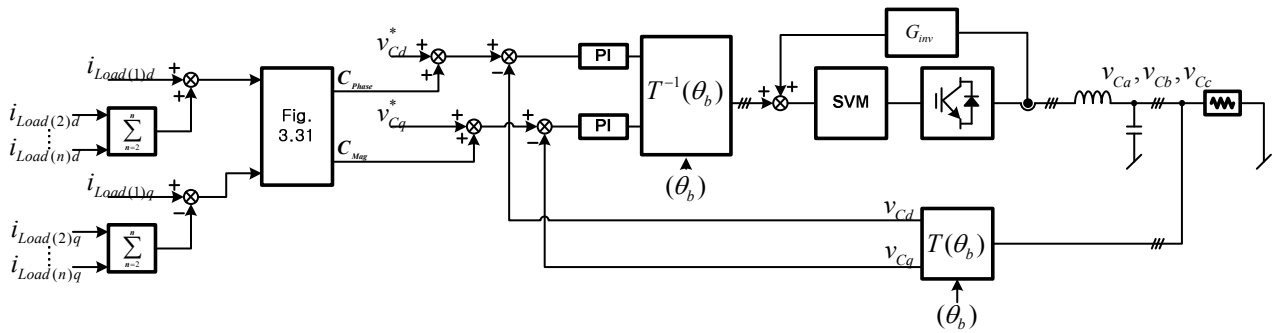


그림 3.32 병렬 제어시스템의 전압제어기 구성도

Fig. 3.32. Proposed control system for parallel operation of inverter system.

3.6.3 고조파 순환전류 및 PWM 동기

그림 3.24에서 인버터 출력전압 v_{inv1} , v_{inv2} 는 실제적으로는 인버터로부터 출력되는 PWM 전압파형이다. 병렬 운전되는 인버터는 고유의 DSP 제어보드를 가지는데 이들 각각의 DSP 보드의 PWM 발생을 위한 인터럽트 신호는 서로 시간오차를 가지고 발생한다. 이로 인해 인버터 출력 PWM 전압파형은 비동기화되며 따라서 샘플링 시간마다 $2V_{dc}$ 크기의 전압차이 발생하고 이로 인해 인버터 간에는 스위칭 주파수를 갖는 고조파 순환전류가 흐르게 된다. 그림 3.33는 각각의 인버터간 PWM 비동기로 인한 고조파 순환전류를 나타낸다. 이러한 PWM 비동기에 의한 고조파 순환전류는 병렬로 연결된 인버터간에 흐르게 되어 EMI/EMC문제를 발생시킨다. 한편 PWM 비동기시 인버터 각각의 부하전류에는 고조파 순환전류가 포함되어서 흐르고 그림 3.31의 제어기는 이러한 상황에서 식 (3.62)와 같이 순환전류를 연산한다. 이때 각각의 부하전류에 포함된 고조파 순환전류의 영향으로 샘플링 상태에 따라 식(3.64)에 의해 계산된 순환전류는 오차를 가질 수 있다. 이러한 영향을 다음 장의 모의실험에서 상세히 분석하였다. 결과적으로 PWM 비동기화에 의한 고조파 순환전류는 EMI/EMC문제를 발생시킬 뿐 만 아니라 정확한 부하분담 제어에 있어 외란으로 작용할 수 있기 때문에 최소화 시킬 필요가 있으며, 최소화 시킬 수 있는 유일한 방법은 각각의 인버터의 PWM 출력을 동기화 시키는 것이며 이를 위한 동기화 기법을 다음과 같이 제안한다.

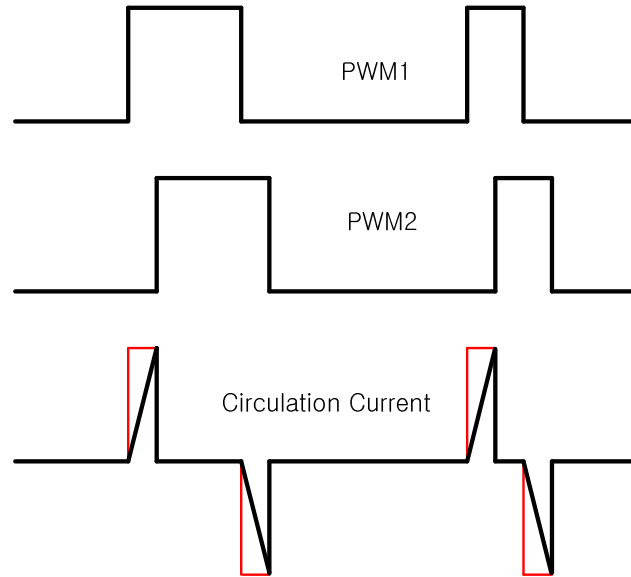


그림 3.33 PWM 비동기화로 인한 고조파 순환전류 발생

Fig. 3.33. The harmonic circulation current by PWM non-synchronization.

그림 3.34은 각각의 DSP 보드로 제어되는 3상 인버터의 병렬운전 구성도이다. 편의상 INVETER 1을 마스터, 그리고 INVERTER 2를 슬레이브라고 명명한다. 그림 3.35은 마스터 및 슬레이브 인버터가 PWM 발생을 위한 DSP 내부의 PWM 타이머 인터럽트 주기를 나타낸다. 여기서 T_{PWM_M} , T_{PWM_S} 은 각각 마스터 DSP 및 슬레이브 DSP의 TPR (Timer Period Register)에 저장되는 값이고 T_{PR} 는 PWM 주기이다. 마스터의 언더플로우 인터럽트가 발생하는 시점을 m , $(m+1)$...로 나타냈으며 슬레이브의 경우에는 s , $(s+1)$...로 표시하였다. 그림에서 나타난 바와 같이 슬레이브의 언더플로우 인터럽트가 마스터 보다 T_{SM} 만큼 지연되어 발생한다고 가정하였다. 마스터와 슬레이브 DSP는 DSP TMS320F2812내부에 내장된 CAN (Controller Area Network) 모듈을 통해 연결되어 병렬운전에 필요한 각각의 전압, 전류 그리고 각종 고장정보를 통신을 통해 공유한다. 마스터 DSP는 PWM 타이머의 언더플로우 인터럽트가 발생하면(m 시점)에서 TCR(Transmit Control Register)의 TCR(transmission Request Set) 비트를 1로 만들어 CAN 송신 인터럽트

를 발생시킨다. 이 시점에서 그림 3.36의 데이터 프레임이 슬레이브로 전송한다. 이때 데이터 프레임의 전송시간은 식(3.67)과 같이 미리 정해진다.

$$T_{comm} = T_{d_tx} + T_{data} + T_{d_rx} \quad (3.67)$$

여기서 T_{d_tx} , T_{d_rx} 는 각각 마스터 DSP의 송신 인터럽트 및 슬레이브 DSP의 수신 인터럽트 지연시간이며 T_{data} 는 데이터 프레임의 전송시간을 의미한다. 본 논문의 경우 송수신 지연시간은 각각 $5\mu s$ 및 $6\mu s$ 이며 데이터프레임은 그림 3.36에서와 같이 76비트이고 통신속도는 1MBPS이므로 $76\mu s$ 이다. 슬레이브 DSP의 CAN 모듈은 데이터 프레임을 전부 수신하면 수신 인터럽트를 발생시키고 이때 슬레이브 수신 인터럽트 루틴은 PWM 타이머 카운터 현재 값 T_{cnt} 를 메모리에 저장한다. 수신인터럽트가 발생한 시점과 마스터 DSP의 PWM 타이머 카운터의 언더플로우 인터럽트 발생시점 사이의 시간 T_{rM} 은 다음과 같으므로

$$T_{rM} = T_{PR} - T_{comm} \quad (|t_{xM}| < T_{pwm_M}) \quad (3.68)$$

마스터 DSP의 타이머 언더플로우 인터럽트와 슬레이브 DSP 타이머 언더플로우 인터럽트의 지연시간 T_{SM} 는 다음과 같이 연산된다.

$$T_{SM} = T_{cnt} + T_{rM} \quad (3.69)$$

식(3.69)의 결과에 따라 슬레이브 DSP는 자기의 PWM 타이머 인터럽트가 마스터 DSP의 타이머 인터럽트보다 앞서는지 아니면 뒤지는지를 판단하고 만약 앞서면 슬레이브의 타이머 피리어드 레지스터 TPR의 값을 1씩 증가시키고 반대로 뒤지면 1씩 감소시킨다. 그림 3.37 및 그림 3.38은 각각 슬레이브 PWM 타이머의 업카운팅 (counting upward) 및 다운 카운팅 (counting downward) 모드에서 CAN 수신 인터럽트 발생했을 때 모든 경우의 T_{SM} 을 나타낸다. 그림 3.39은 PWM 동기화를 위해 슬레이브 DSP의 수신 인터럽트 루틴에서 수행되는 제어 프로그램의 플로우 차트를 나타낸다.

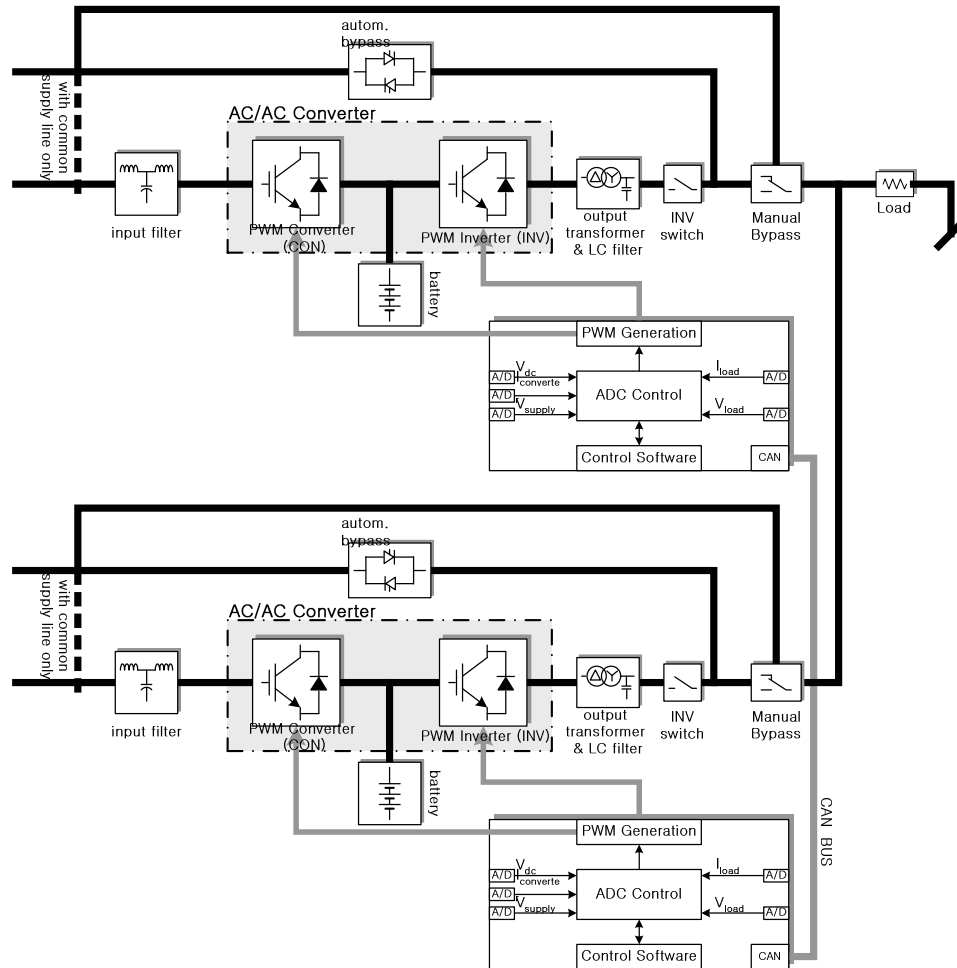


그림 3.34 각각의 DSP 보드로 제어되는 인버터 병렬운전 시스템

Fig. 3.34. Configuration of DSP controlled parallel inverter system.

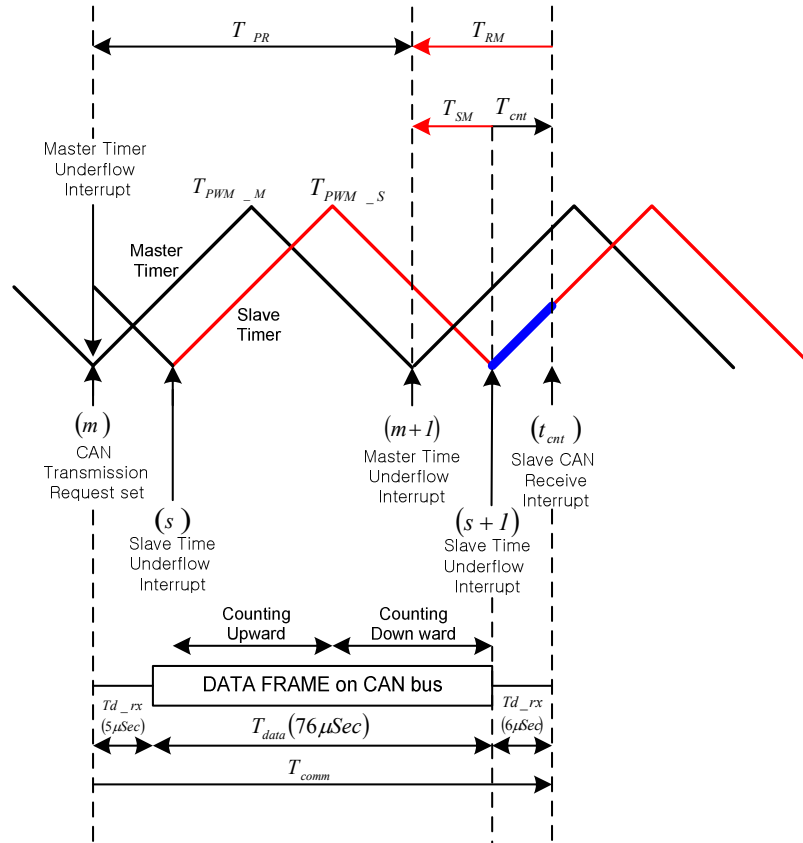


그림 3.35 DSP 보드의 PWM 발생 및 CAN 통신 주기

Fig. 3.35. PWM Timer interrupts cycle and CAN communication cycle.

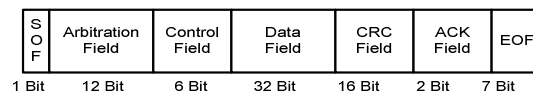
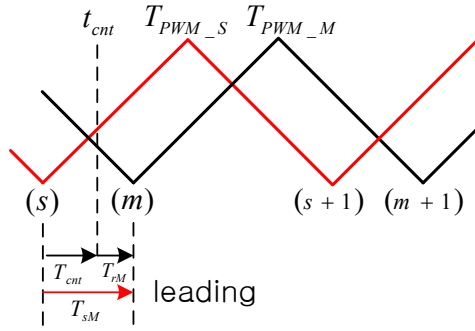
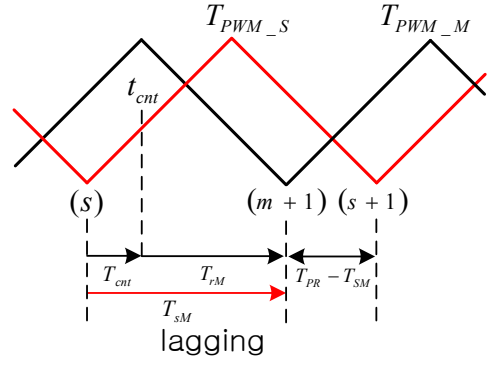


그림 3.36 CAN 버스상의 Data 프레임

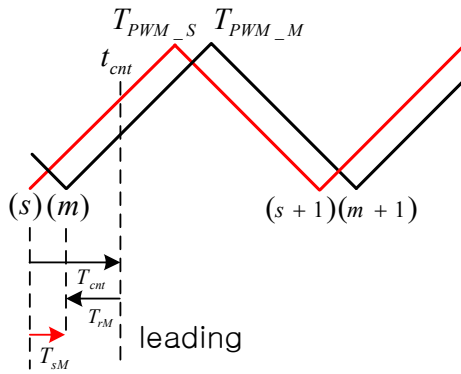
Fig. 3.36. The data frame on CAN bus.



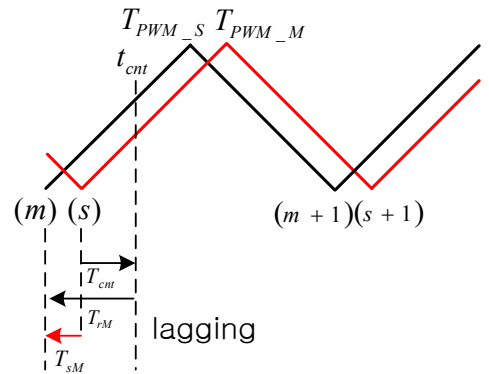
$$(a) \left(T_{rM} > 0, 0 < T_{sM} < \frac{T_{PR}}{2} \right)$$



$$(b) \left(T_{rM} > 0, T_{sM} > \frac{T_{PR}}{2} \right)$$



$$(c) (T_{rM} < 0, T_{sM} > 0)$$



$$(d) (T_{rM} < 0, T_{sM} < 0)$$

그림 3.37 슬레이브 업 카운팅 모드에서의 CAN 수신 인터럽트 발생

Fig. 3.37. PWM interrupts cycle in upward counting mode of the slave PWM timer.

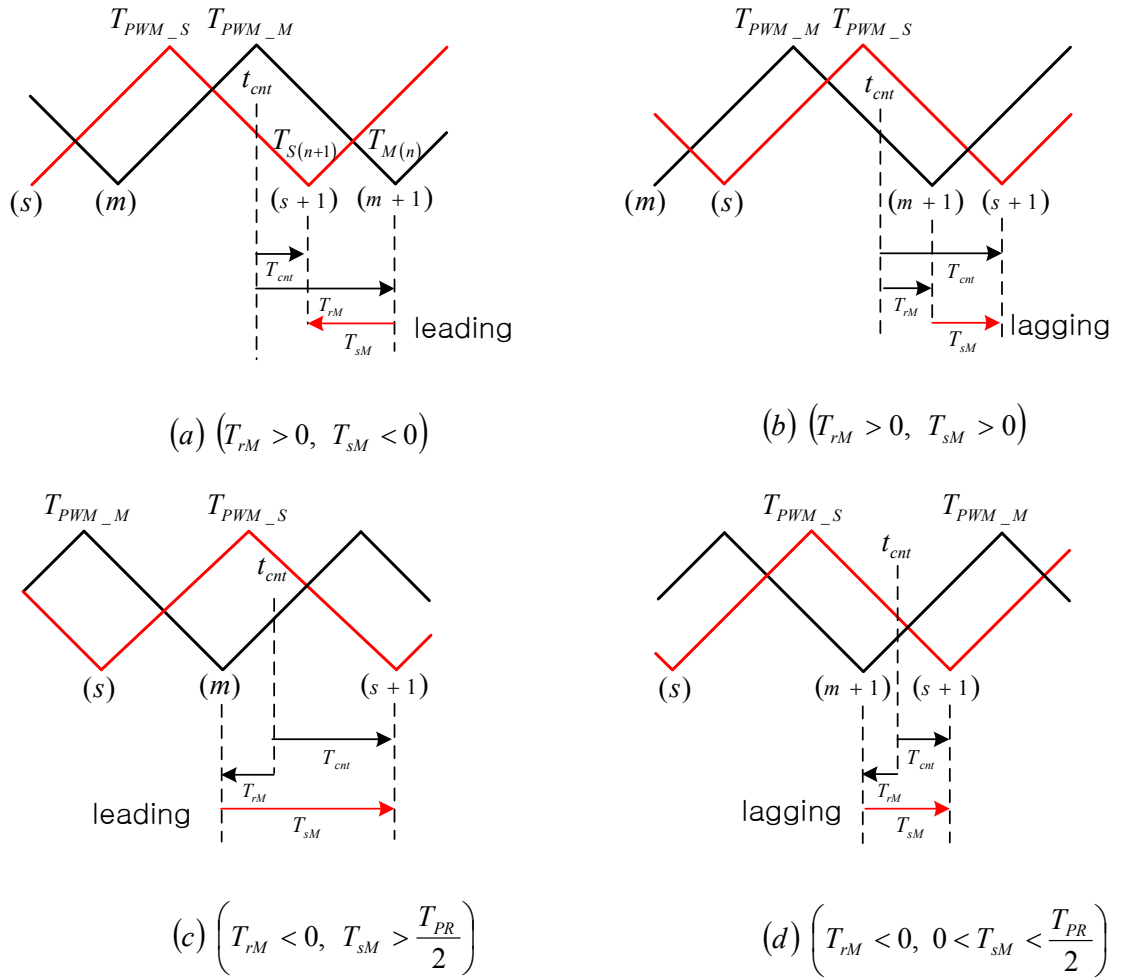


그림 3.38 슬레이브 다운 카운팅 모드에서의 CAN 수신 인터럽트 발생

Fig. 3.38. PWM interrupts cycle in downward counting mode of the slave PWM timer.

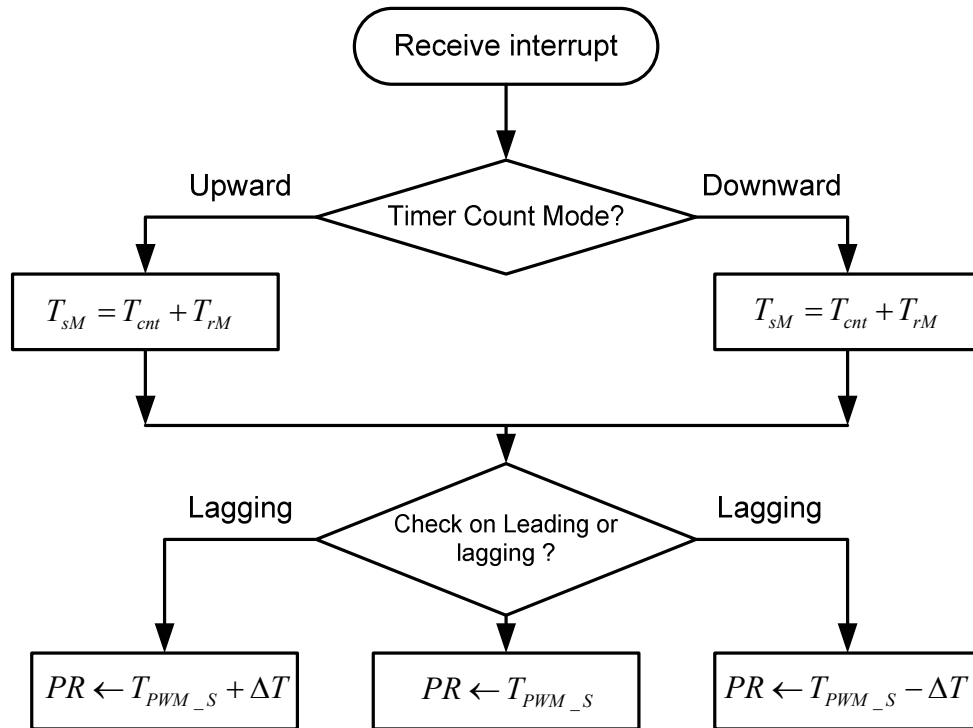


그림 3.39 PWM 동기화를 위한 프로그램 플로우 차트

Fig. 3.39. Flow chart of CAN receive interrupt routine for PWM synchronization.

제 4 장 모의 실험

제안된 전압제어기의 타당성 검증을 위한 컴퓨터 모의 실험 결과에 대해서 기술한다. 먼저 인버터 전류 전향보상의 결과에 대해서 기술하며, 불평형부하 및 비선형부하상태에서 제안된 제어기의 전압왜곡 보상특성에 대한 결과에 대해서 기술한다. 인버터 출력전압을 보상함에 있어서, 출력전압의 전압왜곡 검출을 위해 본 논문에서 제안한 디지털 필터의 성능을 관찰하고, 제안된 보상기의 비례-적분제어기가 불평형 및 비선형 부하상태에서도 직류값을 가지고 동작함으로써 정상상태 오차를 영(zero)으로 만들 수 있는지에 대해서 관찰 하였다. 마지막으로 병렬운전시 병렬운전되는 각각의 인버터가 비동기화된 PWM 출력전압을 발생하는 경우, 비동기화된 각각의 PWM 전압이 병렬운전 제어 시스템에 미치는 영향을 모의 실험을 통해 관찰한다.

4.1 인버터 전류 전향보상

모의 실험은 MatlabV7.1을 사용하여 그림 4.1과 같이 구성하였다. 제어시스템은 T_s 의 샘플링 주기를 갖는 이산 제어계로 구성하였다. 따라서 제어시스템은 기본적으로 T_{samp} 의 시간 지연을 갖는다. 인버터는 정현파 PWM 인버터로 구현하였다. 모의 실험에 사용된 회로 정수는 표 4.1에 나타내었다. 그림 4.2에서부터 그림 4.11까지는 전향보상 계인에 대응하는 인버터 출력전압(V_{cap})을 나타낸다. 그림 4.2은 전향 보상 계인 $a=0$ 인 경우의 결과를 나타낸다. 이 경우에는 LC필터의 낮은 감쇄비로 인하여 과도상태에서 필터 커패시터 출력전압이 진동하는 것을 알 수 있다. 그림 4.3, 그림 4.4, 그리고 그림 4.5는 각각 $a=5$, $a=10$ 그리고 $a=15$ 인 경우의 모의 실험 결과를 나타낸다. 이 그림에서 a 값이 증가 할수록 제어기의 감쇄비가 증가하여, 과도상태에서 커패시터의 출력전압의 진동이 감소되는 것을 알 수 있다. 그림 4.6은 $a=24$ 인 경우의 모의 실험 결과이다. 인버터 출력전압이 맥동하며 오히려 시스템이 불안정해지는 것을 알 수 있다.

그림 4.7, 그림4.8, 그림4.9, 그림 4.10, 그리고 그림4.11은 부하상태에서의 모의 실험 결과를 나타낸다. 각각의 계인은 무부하일 경우와 동일하다. 인버터 출력전압의 진동 억제 현상은 무부하시의 모의 실험 결과와 동일하다. 단지 부하상

태에서는 a 값이 증가 할수록 커패시터 출력전압의 최대값이 전압기준에 비교해서 점점 감소하게 되는데, 이것은 a 값이 증가 할수록 LC필터의 저항성분이 증가되어 부하전류에 의한 LC필터의 전압강하가 커지기 때문이다. 이상의 모의 실험 결과로부터 시스템이 안정하게 동작하는 a 값은 약 10~20사이이며 이것은 3장에서 제시한 설계 결과와 일치함을 알 수 있다.

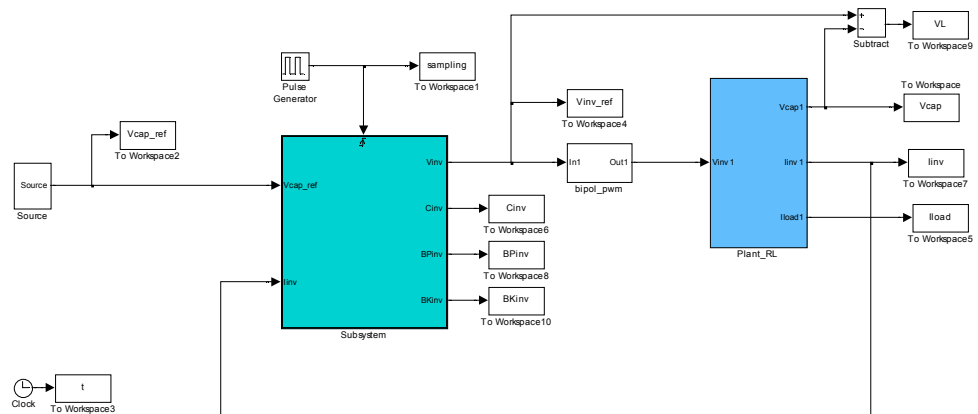


그림 4.1 인버터 전향보상에 대한 모의시험 모델

Fig. 4.1. Simulation model for the inverter current compensation

표4.1 LC필터 회로 정수

Table 4.1. LC Filter parameters.

인버터 출력 LC필터 정수	저항	0.04Ω
	인덕턴스	200 μH
	커패시터	600 μF
LC필터 공진 주파수		605Hz
LC필터 감쇄비		0.04671
샘플링 주기		100μsec
PWM스위칭 주파수		10kHz

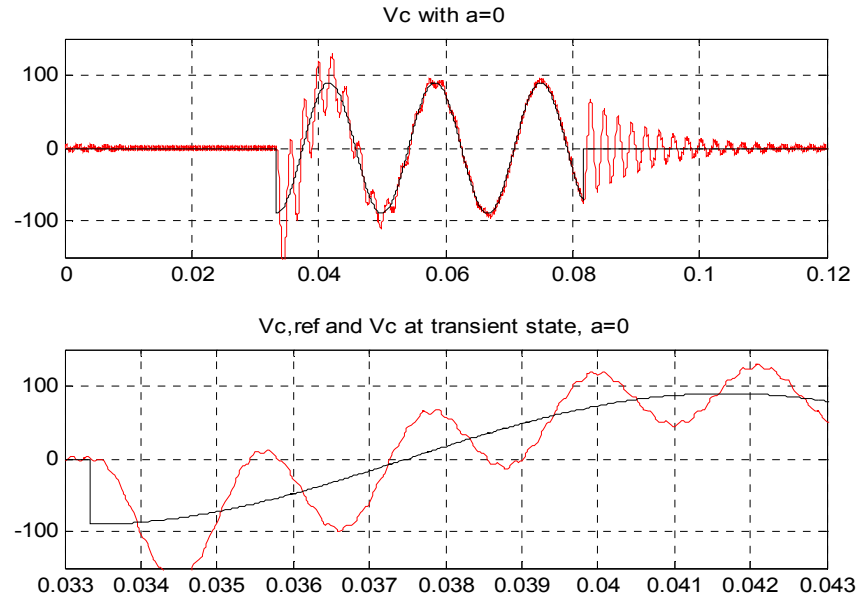


그림 4.2 무부하 상태에서 출력 전압 응답 특성($a = 0$)

Fig. 4.2. System response for $a = 0$ in no-load condition.

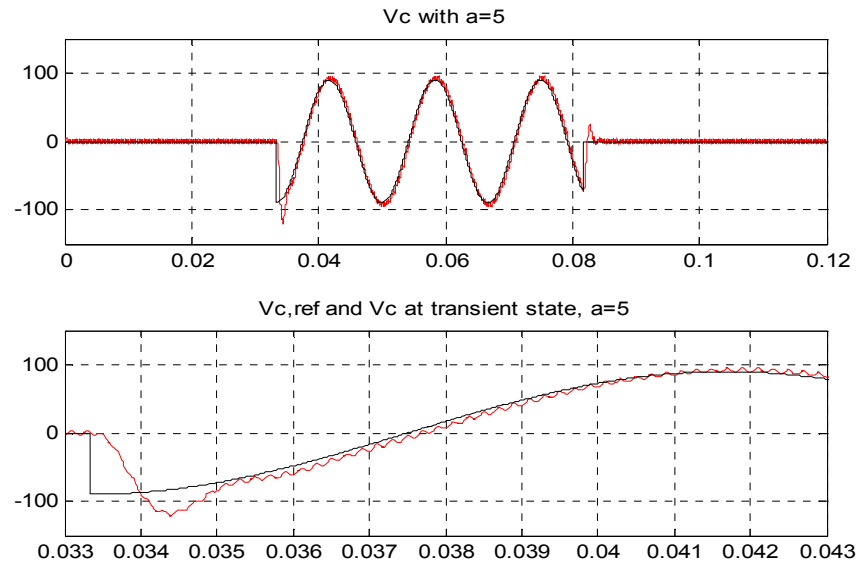


그림 4.3 무부하 상태에서 출력전압 응답 특성($a = 5$)

Fig. 4.3. System response for $a = 5$ in no-load condition.

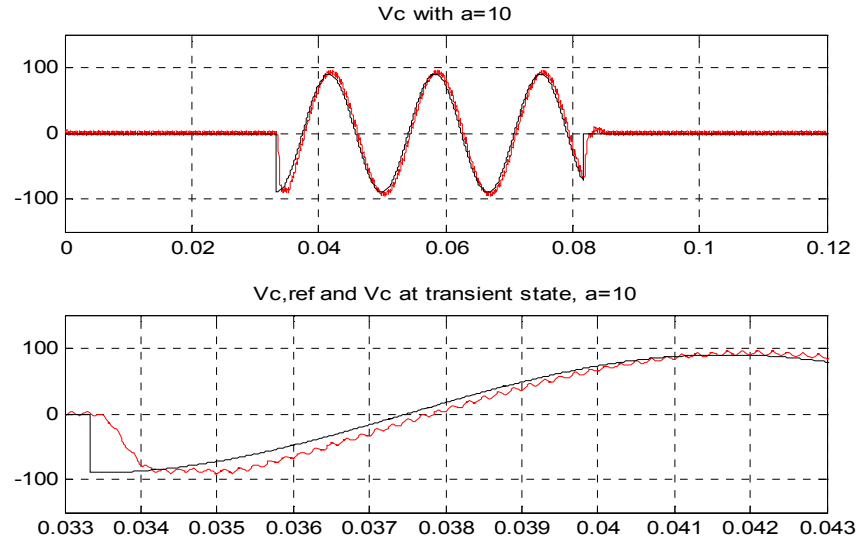


그림 4.4 무부하 상태에서 출력전압 응답 특성($a=10$)

Fig. 4.4. System response for $a=10$ in no-load condition.

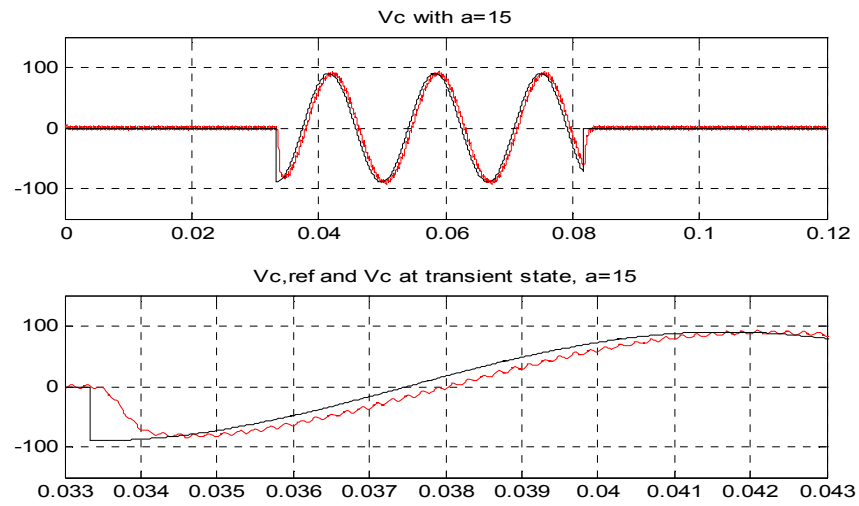


그림 4.5 무부하 상태에서 출력전압 응답 특성($a=15$)

Fig. 4.5. System response for $a=15$ in no-load condition.

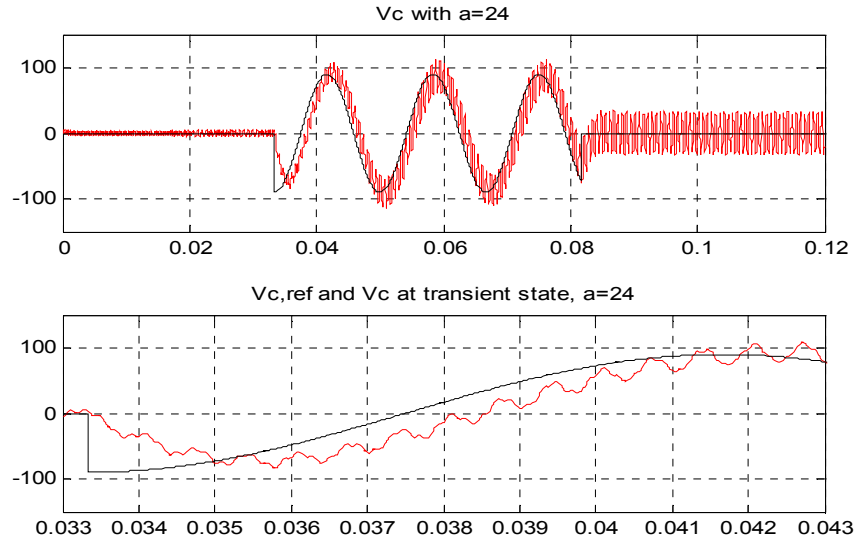


그림 4.6 무부하 상태에서 출력전압 응답 특성($a = 24$)

Fig. 4.6. System response for $a = 24$ in no-load condition.

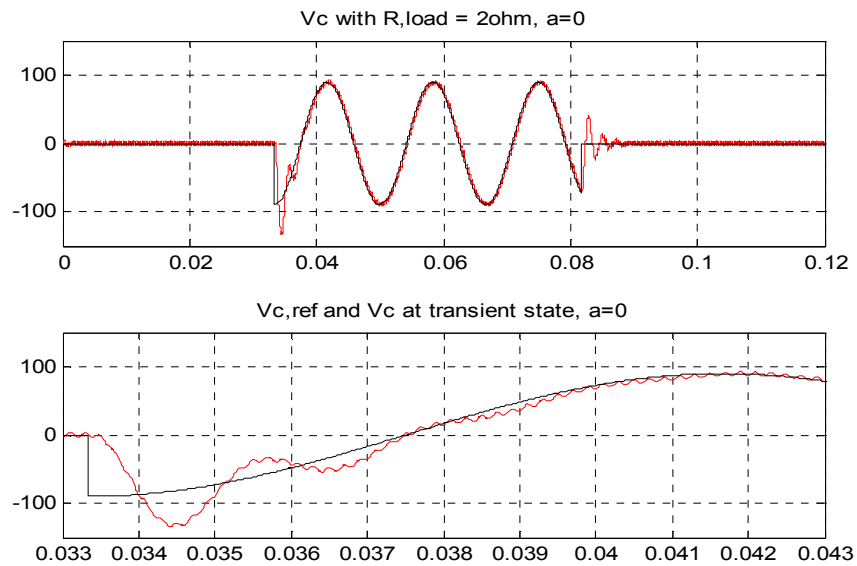


그림 4.7 부하상태에서 출력전압 응답특성($a=0$)

Fig. 4.7. System response for $a=0$ in load condition.

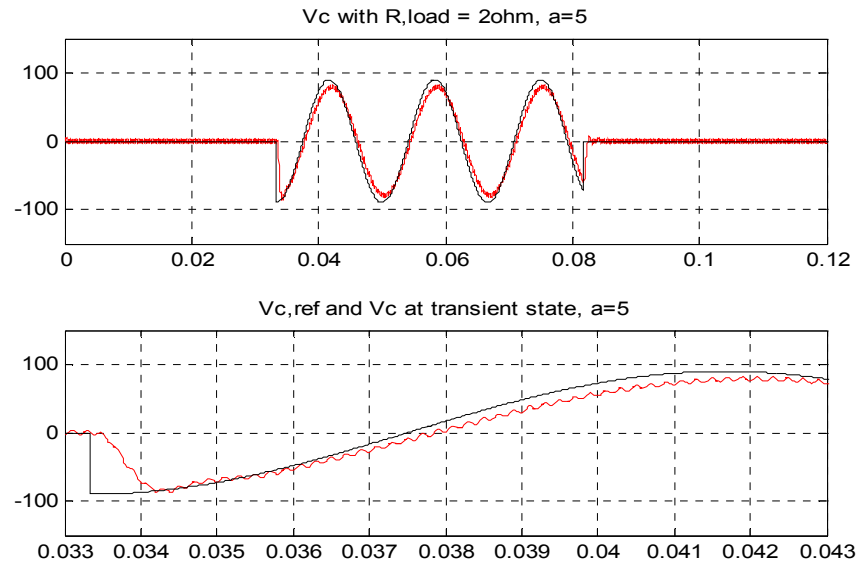


그림 4.8 부하상태에서 출력전압 응답특성($a=5$)

Fig. 4.8. System response for $a=5$ in load condition.

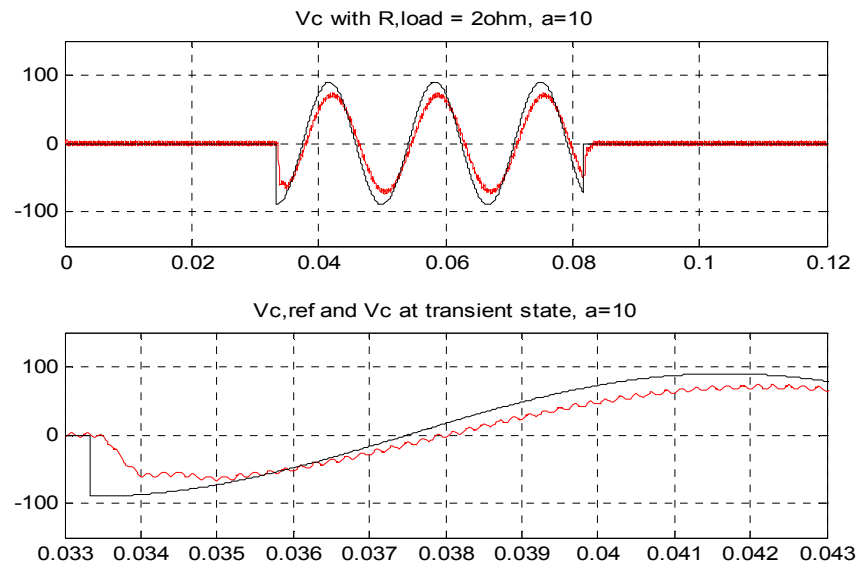


그림 4.9 부하상태에서 출력전압 응답특성($a=10$)

Fig. 4.9. System response for $a=10$ in load condition.

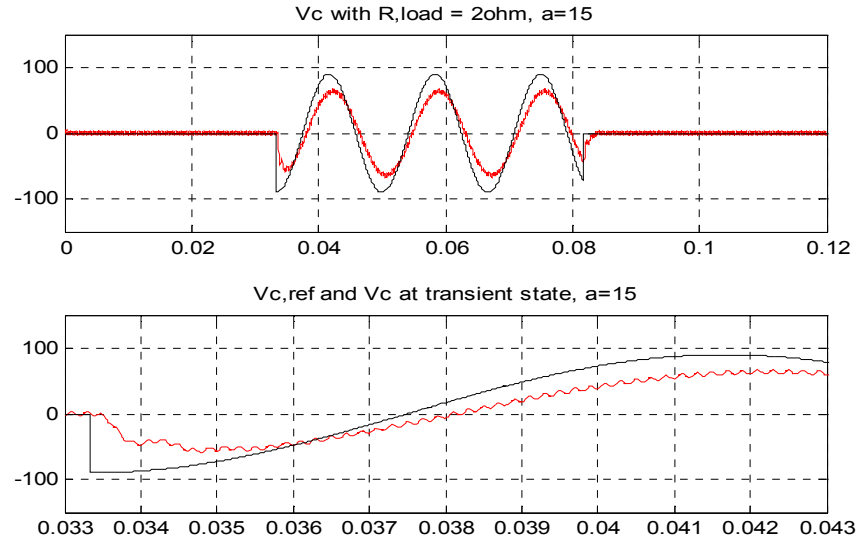


그림 4.10 부하상태에서 출력전압 응답특성($a=15$)

Fig. 4.10. System response for $a=15$ in load condition.

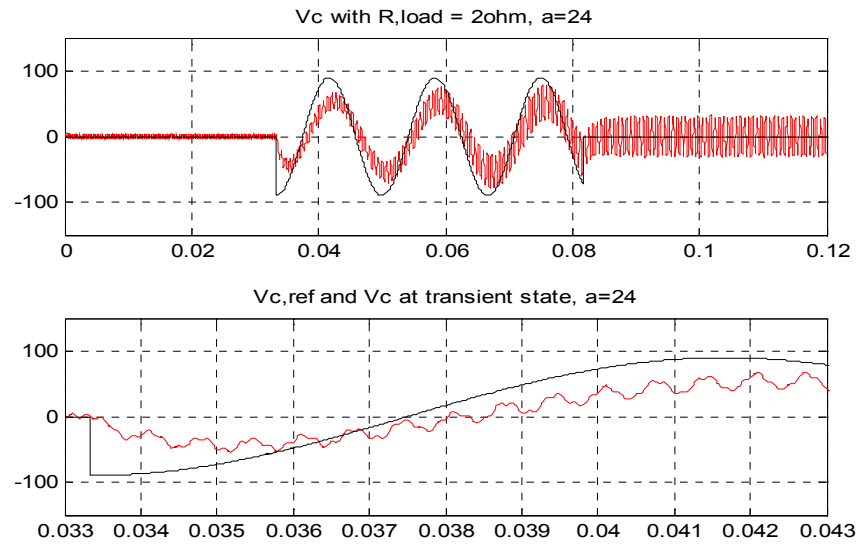


그림 4.11 부하상태에서 출력전압 응답특성($a=24$)

Fig. 4.11. System response for $a=24$ in load condition.

4.2 불평형 부하 보상

그림 4.12은 본 논문에서 제안한 불평형 전압 검출을 위한 디지털 필터의 성능을 모의 실험한 결과를 나타낸다. 계환 되는 3상 전압은 A상의 전압의 크기가 다른 상전압에 비해 20%정도 큰 경우를 모의실험 하였다. 불평형 입력전압에 대하여 그림 3.15의 정상분 검출 필터(PSF, Positive Sequence Filter) 및 그림 3.26 의 역상분 검출 필터(NSF, Negative Sequence Filter)의 출력은 각각 3상 평형으로 출력되며 상회전 방향이 반대인 각각의 동기좌표계 변환을 통해 직류값으로 변환되는 것을 알 수 있다.

그림 4.13 및 그림 4.14은 불평형 부하에 대한 제어기의 과도 응답 특성을 관찰하기 위한 모의 실험 결과를 나타낸다. 3상 인버터가 무부하 상태로 운전 중에 100mse시점에서 A 상에만 100%의 정격 부하를 투입하였다. 그림 4.13은 별도의 보상기가 없는 기존의 동기좌표계 전압제어기에 대한 결과를 그리고 그림 4.14는 그림3.17의 불평형 전압왜곡 보상기를 적용한 동기좌표계 전압제어기에 대한 모의 실험 결과로써 각각 인버터 출력전압파형, 출력전압의 실효치, 출력전압에 포함된 역상성분, 그리고 주 전압제어를 위한 비례적분제어기 및 보상기의 비례적분제어기의 출력신호를 나타낸다. 그림 4.13의 보상기가 없는 기존의 동기좌표계 전압제어기의 경우에는 불평형 부하가 가해지기 전에는 주 전압제어기의 비례적분제어기가 직류값을 가지고 동작하며 인버터 출력전압도 3상 평형이지만 불평형 부하가 가해지게 되면 주 전압제어기의 비례-적분 제어기 출력이 출력전압 주파수의 2배로 맥동하며, 인버터 출력전압은 역상성분의 왜곡으로 인해 각각의 실효치가 다른 불평형 전압이 되는 것을 알 수 있다. 이에 비해 본 논문에서 제안한 보상기를 갖는 동기좌표계 전압제어기의 경우에는 불평형의 부하가 가해져도 인버터 출력전압의 역상분 왜곡은 출력전압 주파수의 한 주기 이내에 제거됨을 보인다. 또한 주 전압제어기의 비례-적분제어기와 보상기 내의 비례-적분제어기 모두가 불평형 부하 조건하에서도 계속 직류 값을 가지고 동작되는 것을 알 수 있다.

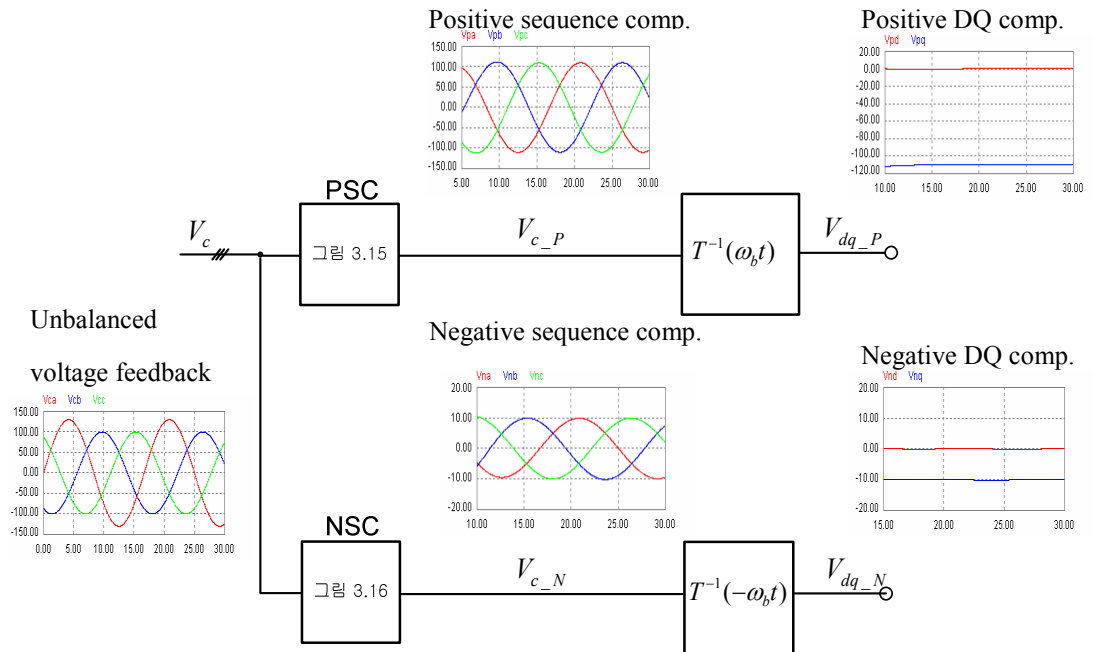


그림 4.12 디지털 필터를 사용한 불평형 전압의 변환특성

Fig. 4.12. Conversion unbalanced voltage to d-q transformation using the digital filter proposed in the paper.

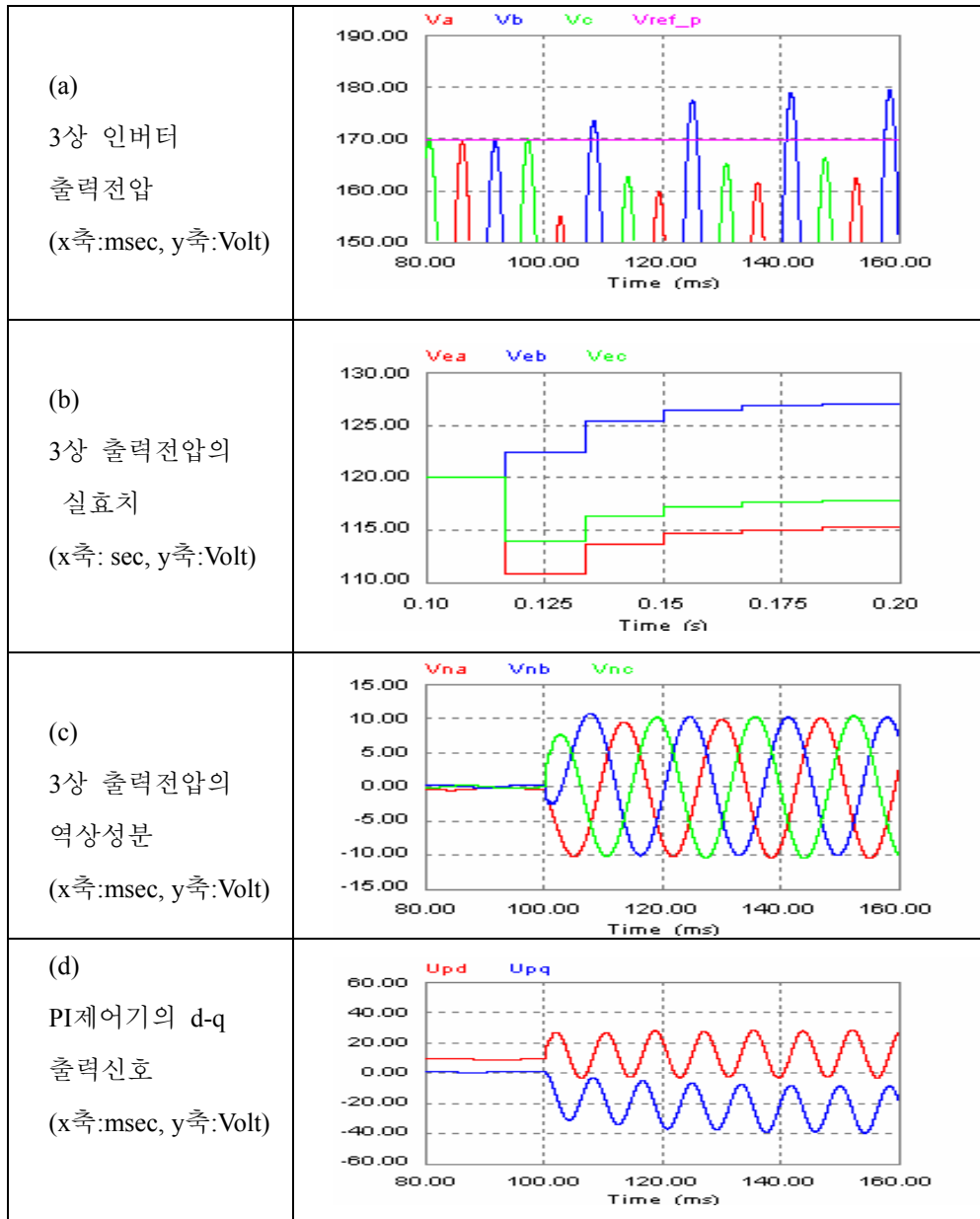


그림 4.13 불평형 부하시 기존 동기좌표제어기의 전압 응답 특성

Fig. 4.13. Voltage response of the conventional synchronous reference frame controller under the unbalanced load.

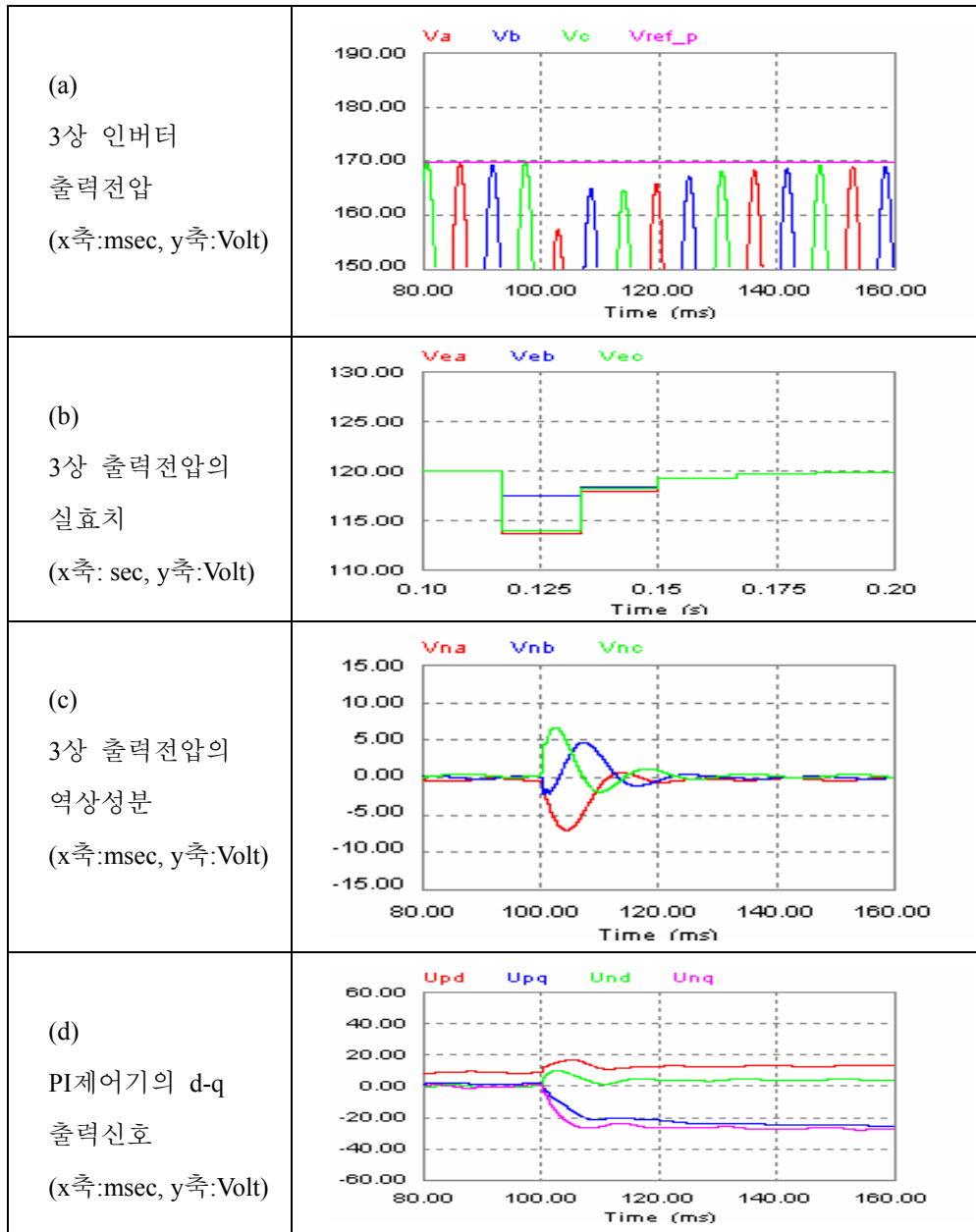


그림 4.14 불평형부하시 제안된 동기좌표제어기의 전압응답특성

Fig. 4.14. Voltage response of the proposed synchronous reference frame controller under the unbalanced load.

4.3 비선형 부하 보상

그림 4.15 및 그림 4.16은 3상 다이오드 정류기 부하시 동기좌표계 전압제어기의 동작특성에 대한 모의 실험 결과이다. 그림 4.15는 보상기가 없는 기존의 동기좌표계 전압제어기에 대한 결과를 나타내며, 그림 4.16은 제안된 그림 3.18의 보상기를 적용하여 출력전압의 5차 및 7차 고조파 왜곡을 보상한 모의 실험 결과이다. 각각의 그림은 출력전압 파형, 부하전류 파형, 출력전압의 THD, 그리고 출력전압에 대한 FFT 결과를 나타낸다. 그림 4.15의 보상기가 없는 기존의 동기좌표계 전압제어기의 경우, 3상 정류기 부하시 출력전압의 THD는 약 6% 정도이며, 출력전압에 5차 및 7차 고조파가 존재함을 알 수 있다. 이에 비해 보상기를 갖는 동기좌표계 전압제어기의 경우에는, 보상기의 동작으로 인해 출력전압에 포함된 5차 및 7차 고조파가 거의 영(zero)으로 제거 되는 것을 알 수 있으며 출력전압의 THD 도 2.9%로 보상전의 6%에 비해 50%이상 개선 되는 것을 보인다.

4.4 불평형 및 비선형부하 동시 보상

그림 4.17 와 그림 4.18은 3상 다이오드 정류기 부하 및 불평형 부하가 동시에 가해졌을 경우에 대한 모의 실험 결과이다. 그림 4.17는 보상기가 없는 기존의 동기좌표계 전압제어기에 대한 결과를 그리고 그림 4.18은 그림 3.17의 불평형 전압왜곡 보상기와 그림 3.18의 고조파 전압왜곡 보상기를 적용하여 출력전압의 5차 및 7차 고조파 왜곡을 보상한 모의 실험 결과이다. 각각의 그림은 출력전압의 파형, 출력전압 각 상전압의 실효치, 각 상의 부하전류 파형, 그리고 각 상 출력전압의 FFT 결과를 나타낸다. 그림 4.17의 보상기가 없는 기존의 동기좌표계 전압제어기의 경우, 여전히 출력전압에는 5차 및 7차 고조파가 존재하며, 각 상의 출력전압의 실효치도 동일하지 않음을 알 수 있다. 인버터 출력전압의 파형이 불평형 부하로 인한 역상분 왜곡과 비선형 부하로 인한 고조파 왜곡이 동시에 존재하여 출력전압의 THD는 약 3.4% 그리고 불평형률은 약 2.9%정도로 나타난다. 이에 비해 제안된 동기좌표계 전압제어기의 경우에는, 불평형 및 비

선형 부하에 대한 보상으로 인버터 출력전압에 포함된 5차 및 7차 고조파는 거의 영(zero)으로 제거 되며, 동시에 출력전압의 불평형 상태도 불평형률 0.2%로 개선되었다. 결과적으로 이러한 모의실험의 결과는 제안된 동기좌표계 보상기가 불평형 부하 및 비선형 부하시의 전압 왜곡을 동시에 보상 할 수 있음을 보여 주고 있다..

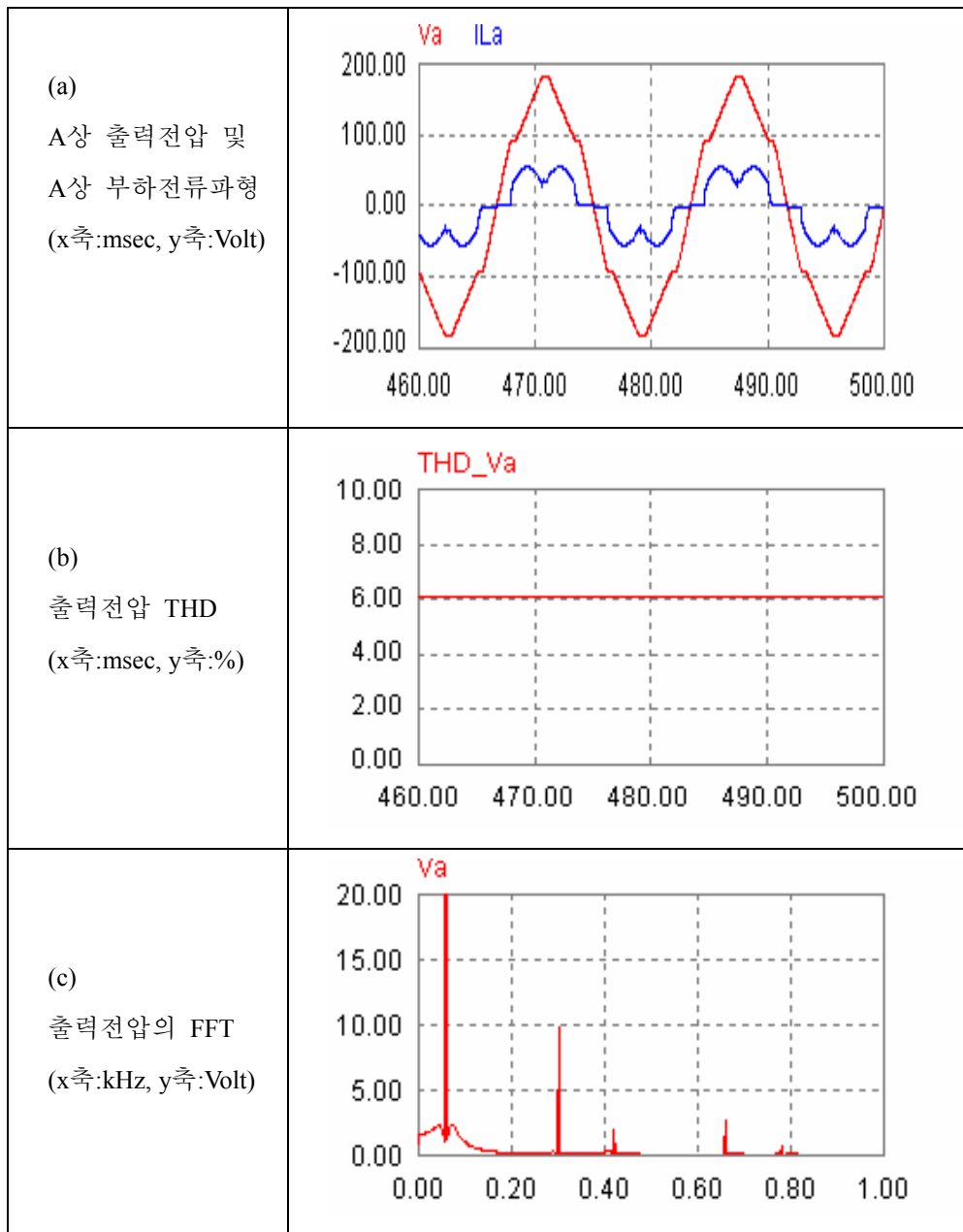


그림 4.15 비선형 부하시 기존 동기좌표제어기의 전압응답특성

Fig. 4.15. Voltage response of the conventional synchronous reference frame controller under the nonlinear load.

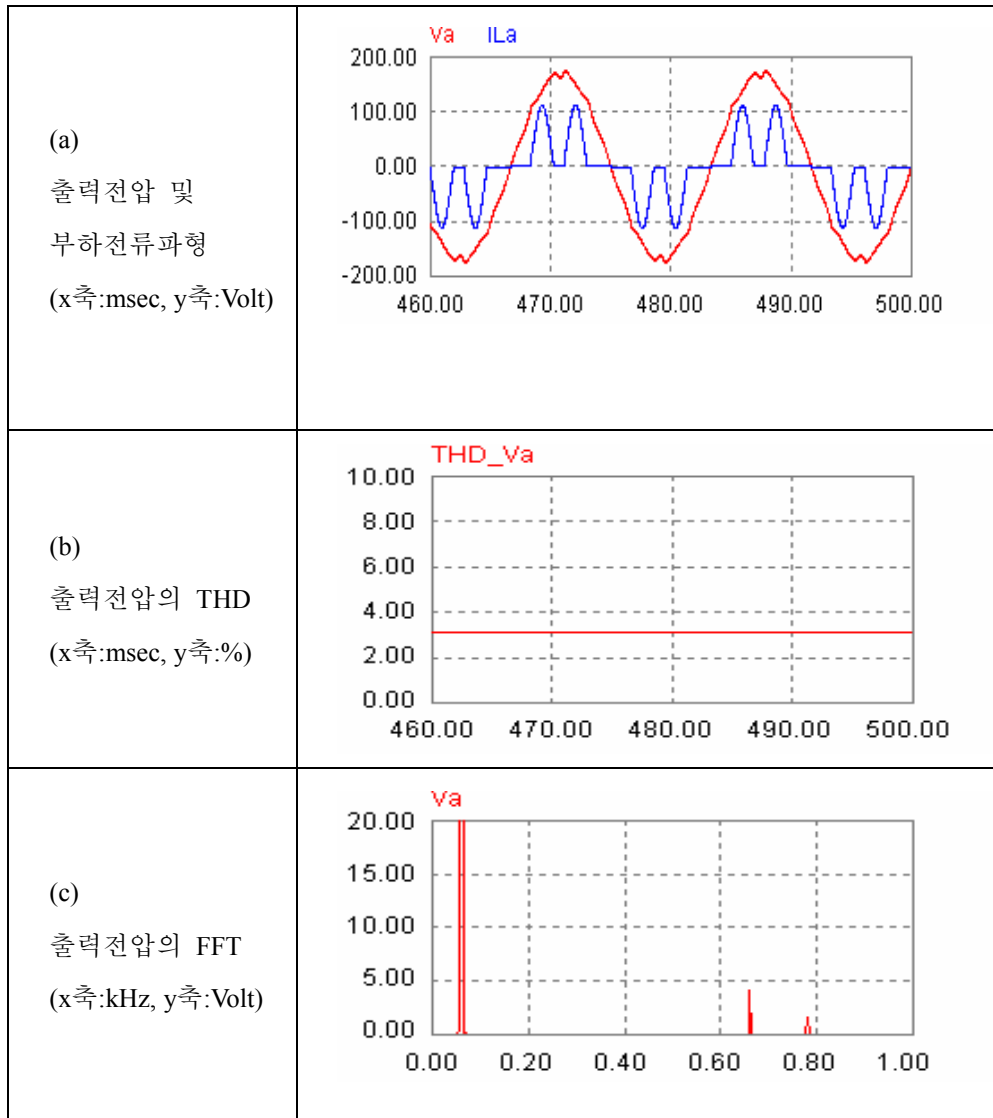


그림 4.16 비선형 부하시 제안된 동기좌표제어기의 전압응답특성

Fig. 4.16. Voltage response of the proposed synchronous reference frame controller under the nonlinear load.

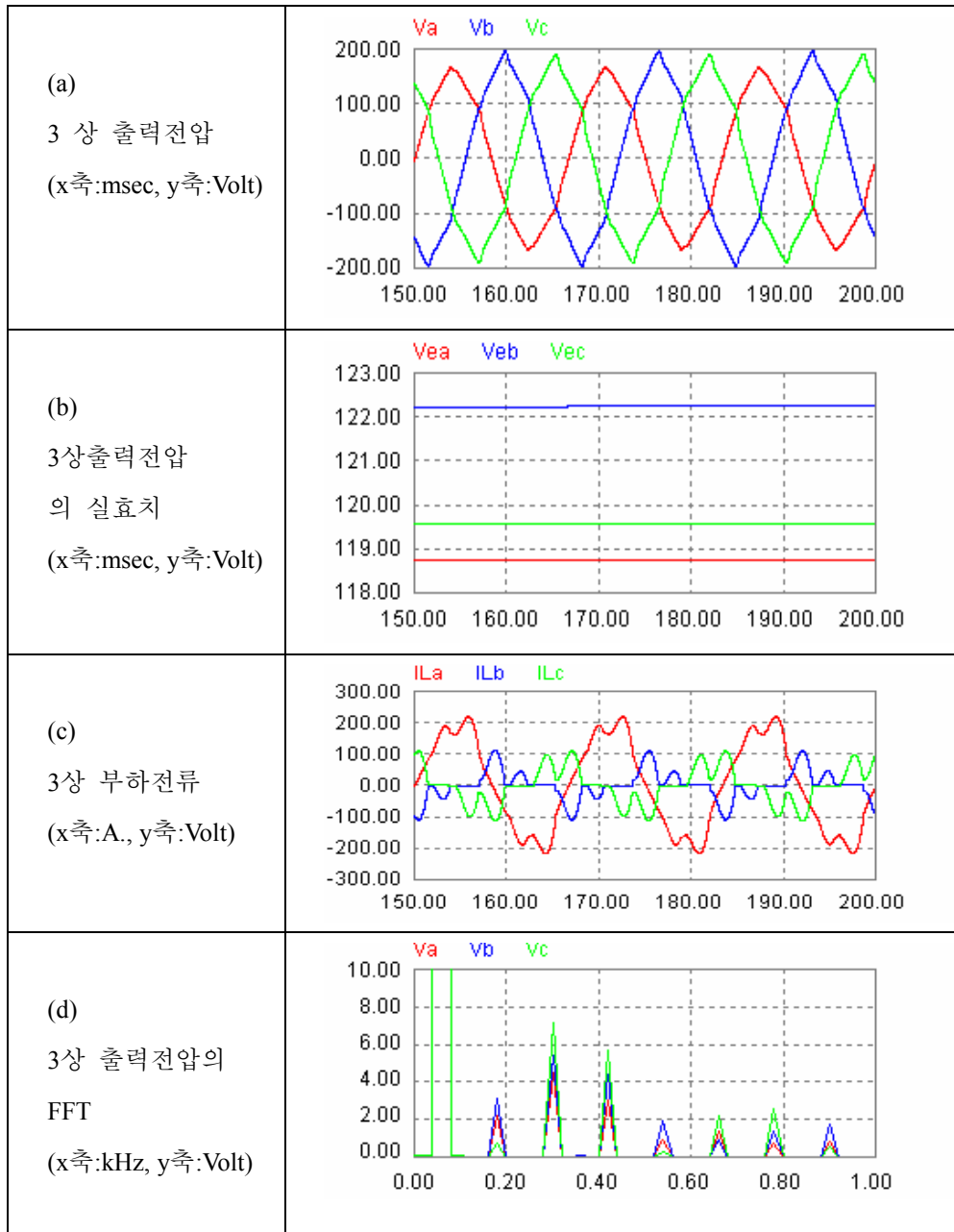


그림 4.17 불평형 및 비선형 부하시 기존 동기좌표제어기의 전압응답특성

Fig. 4.17. Voltage response of the conventional synchronous reference frame controller under both unbalanced and nonlinear loads.

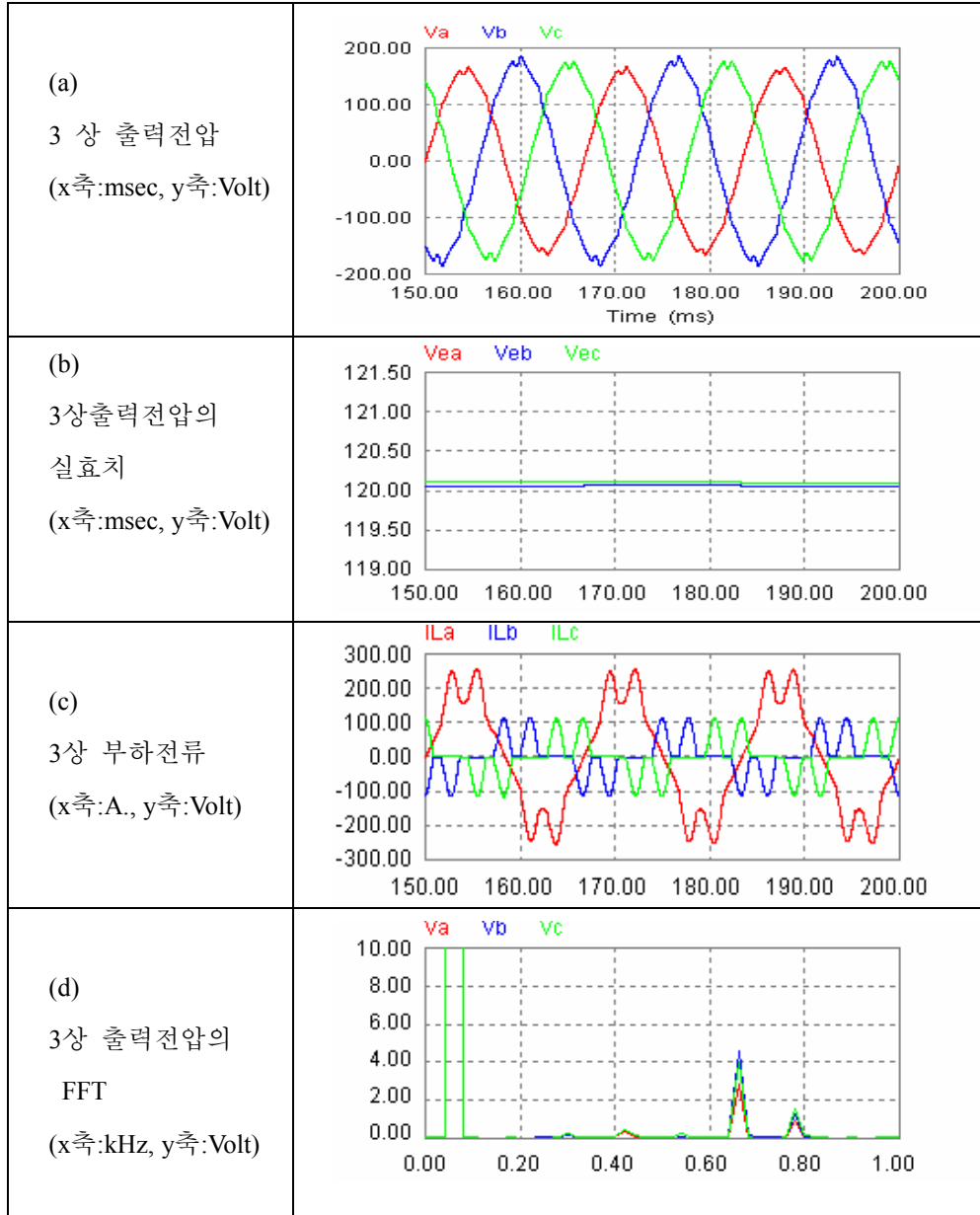


그림 4.18 불평형 및 비선형 부하시 제안된 동기좌표제어기의 전압응답특성

Fig. 4.18. Voltage response of proposed synchronous reference frame controller under both unbalanced and nonlinear loads.

4.5 병렬운전시 PWM 비동기 영향

본 장에서는 병렬운전되는 PWM 인버터 시스템에서 인버터 각각의 PWM 전압 출력의 비동기가 병렬운전 시스템에 미치는 영향에 대한 모의실험 결과를 나타낸다. 병렬운전되는 인버터의 모의 실험 모델은 그림 4.19과 같다. 그림 4.19에서 병렬운전되는 각각의 인버터에 대한 전압기준은

$$V_c^* = \frac{\sqrt{2} 220}{\sqrt{3}} \sin \omega t$$

로 동일하게 주고 인버터 각각의 PWM 스위칭 주파수는 10kHz, 그리고 부하는 순수 저항부하로 부하저항은 2Ω 으로 모의 실험을 수행하였다. 그림 4.20는 그림 4.19에서 인버터 각각의 PWM 출력 전압파형이 비동기인 경우의 결과를 나타낸다. 그림 4.20에서 v_{PWM1_60Hz} , v_{PWM2_60Hz} 는 각각 INVERTER1 및 INVERTER2의 PWM 전압파형의 60Hz 성분을, 그리고 i_{cir} 은 인버터간에 흐르는 순환전류를 나타낸다. 그림에서 나타난 바와 같이 각각의 PWM 출력전압이 비동기화 되어도 그것의 60Hz 성분은 동일하지만 PWM 비동기로 인한 전압차이로 PWM 발생 주파수와 동일한 고조파 순환전류(그림 4.20 (c))가 흐르는 것을 알 수 있다. 그림 4.21 (a) 및 (c)는 같은 조건에서 인버터 각각에 흐르는 부하전류파형을 그림 4.21 (b) 및 (d)는 각 부하전류의 60Hz 성분을 그리고 그림 4.21 (e)는 각각의 부하전류의 60Hz 성분의 합과 전부하전류의 180° 대칭성분($-i_{Load}$)을 나타낸다. 이 결과로부터 전부하전류는 인버터 각각의 부하전류의 60Hz 성분의 합과 동일하다. 따라서 인버터 각각의 부하전류에 포함된 고조파 순환전류는 인버터간에 흐른다는 것을 알 수 있다. 그림 4.22(a)는 인버터 각각의 PWM 전압파형의 60Hz 성분을 그림 4.22 (b)는 인버터 각각의 부하전류를 이용하여 계산한 식(3.62)의 순환전류를 그리고 그림 4.22(c)는 그림 4.22(b)의 순환전류에서 스위칭 주파수를 제거한 파형을 나타낸다. 인버터 PWM 전압파형의 60Hz 성분은 동일해도 식 (3.62)의 순환전류는 그림 4.22(b)와 같이 연산된다. 3장에서 기술한 바와 같이 기본파 순환전류의 제거를 위한 병렬제어시스템에서 순환전류 연산기는 병렬 운전되는 인버터 각각의 부하전류를 사용하여 제어에 필요한 순환전류를 연산하는데, 이 경우 그림 4.22의 순환전류는 기본파 순환전류의 제거를 위한 제어기

에 대해 부하전류 검출외란으로 작용할 수 있다. 그림 4.23, 그림 4.24, 그리고 그림 4.25는 PWM 동기화 일치하는 경우에 대해서 같은 결과를 나타낸다 이 결과로부터 병렬운전되는 인버터의 PWM 출력전압파형이 서로 정확히 동기화 되면 그림 4.23(c)와 같이 인버터간 PWM 전압차는 발생하지 않으며($v_{PWM1} - v_{PWM2} = 0$) 이로 인한 고조파 순환전류는 발생하지 않음을 보인다. 결과적으로 병렬운전시, 병렬운전되는 각각의 인버터의 PWM 비동기로 인한 고조파 순환전류는 정확한 기본파 순환전류를 연산하는데 측정오차를 유발하는 외란으로 작용 할 수 있기 때문에, 정확한 부하분담 제어를 위해서 고조파 순환전류를 제거 할 필요가 있음을 알 수 있다.

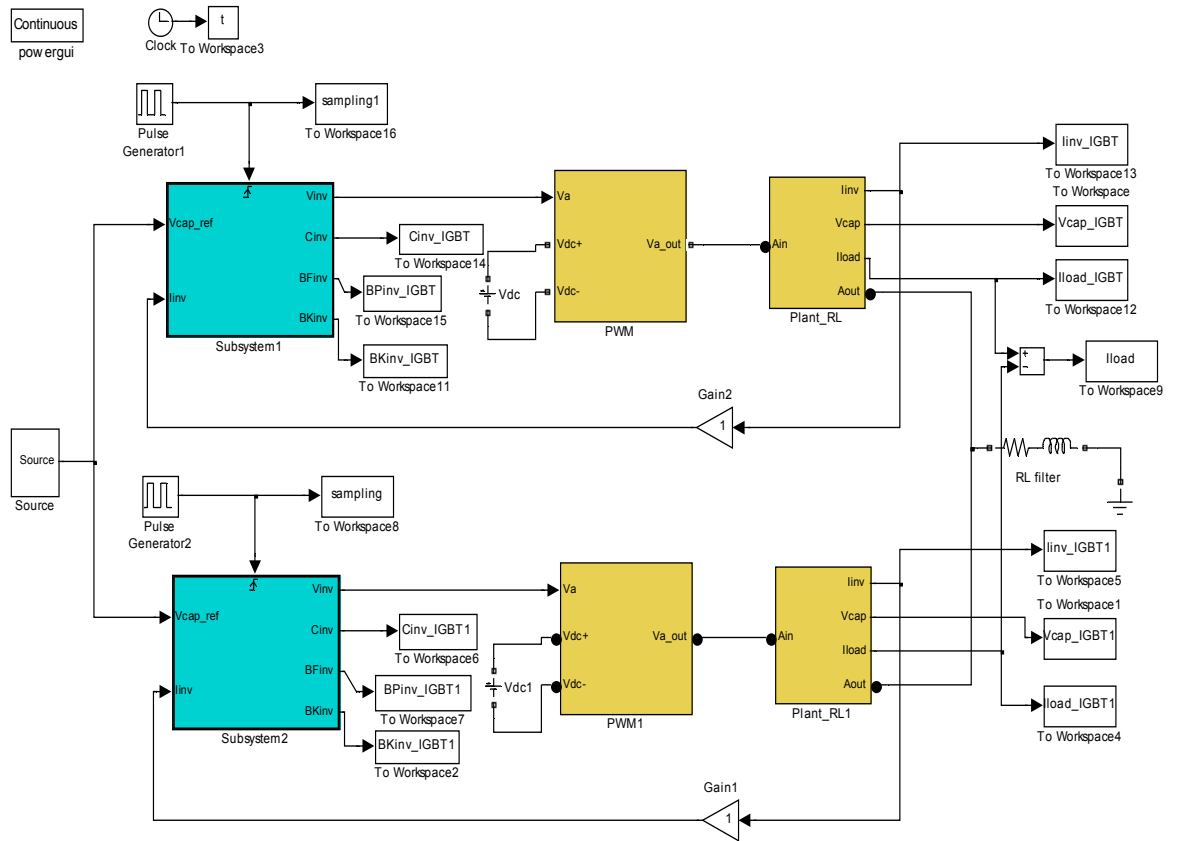


그림 4.19 병렬운전 모의시험 모델

Fig. 4.19. Simulation model for parallel operation of inverter system.

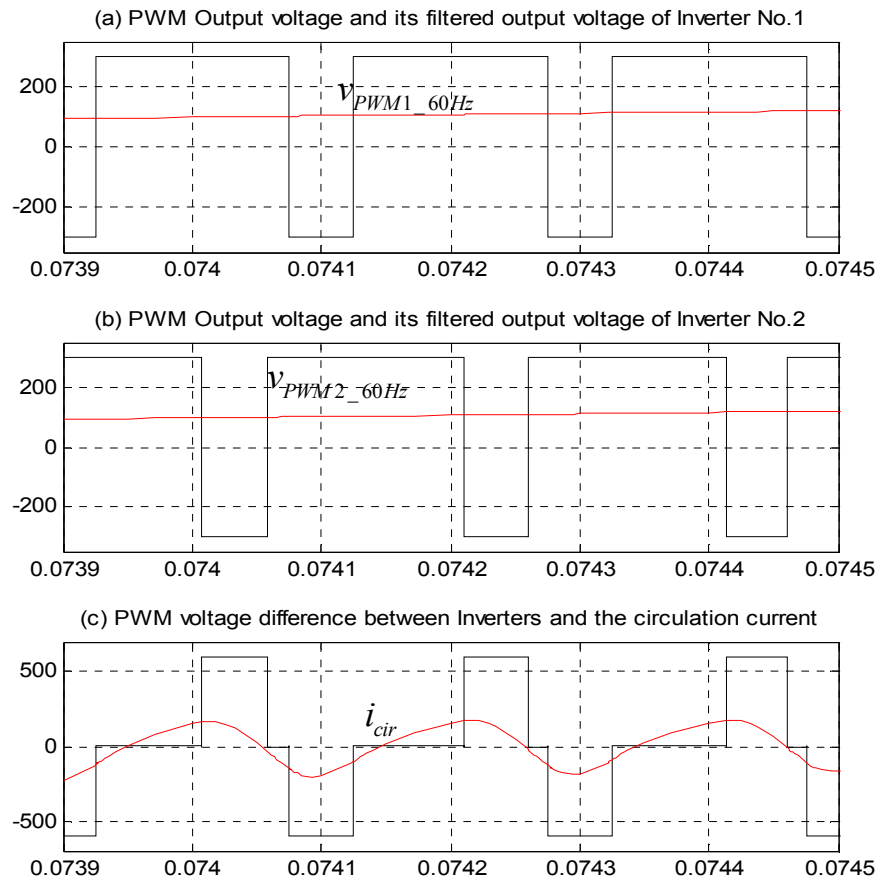


그림 4.20 PWM 비동기로 인한 고조파 순환전류

Fig. 4.20. Harmonic circulation current due to PWM non-synchronization.

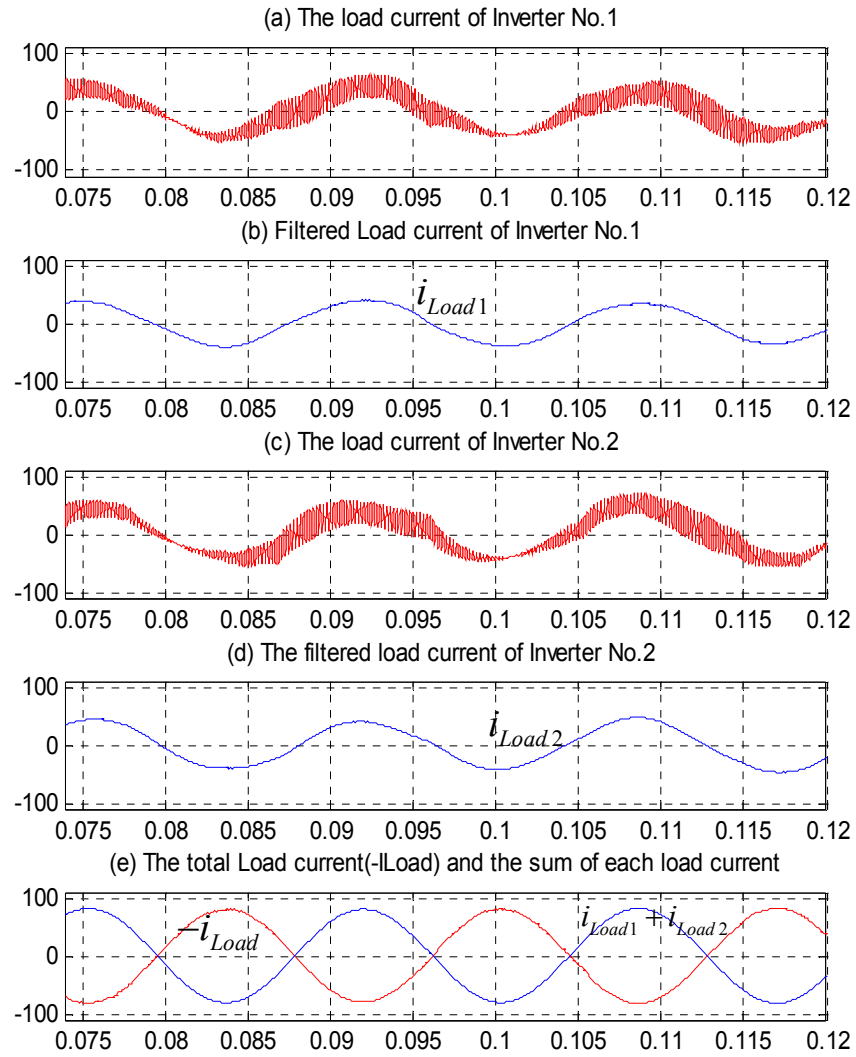


그림 4.21 PWM 비동기시 병렬운전중인 각 인버터의 부하전류 및 고조파 순환전류

Fig. 4.21. Inverter load current waveforms and harmonic circulation current in case of PWM non-synchronization.

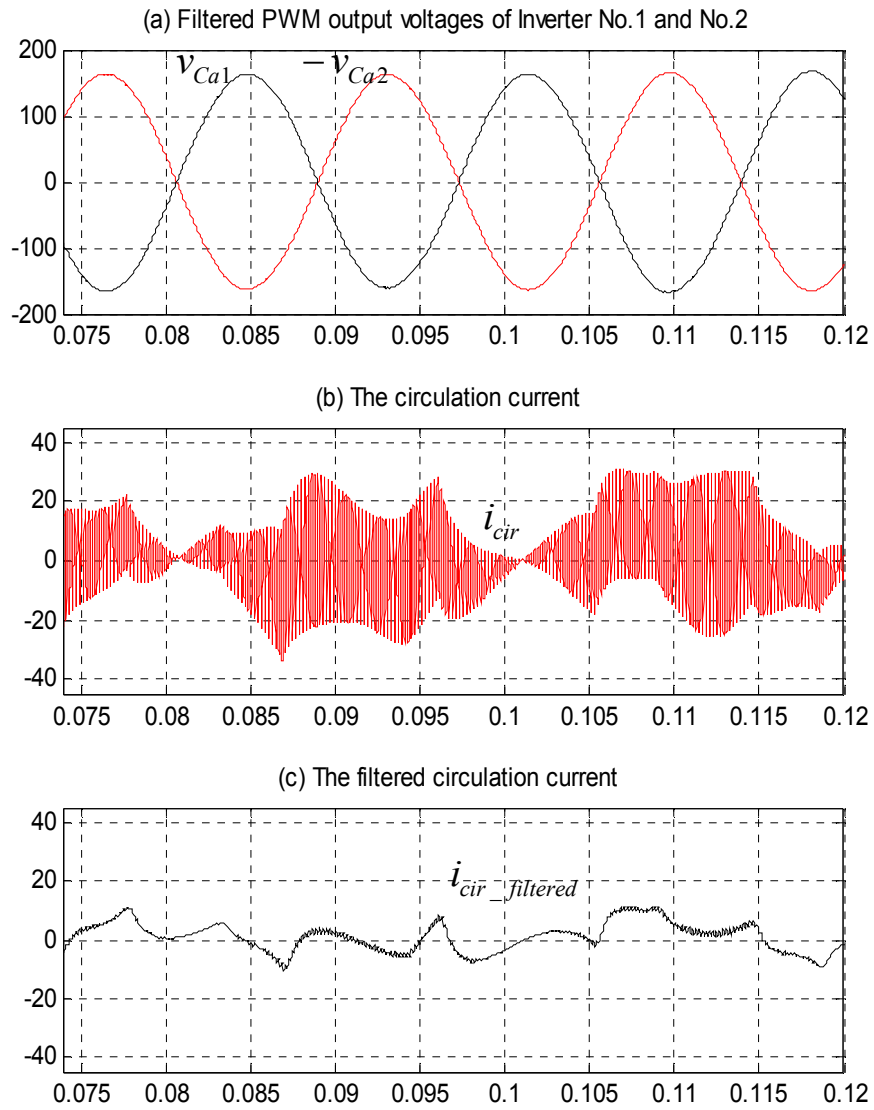


그림 4.22 PWM 비동기시 병렬운전중인 각 인버터의 출력전압 및 고조파 순환전류

Fig. 4.22. Inverter Output voltage waveforms and the circulation current in case of PWM non-synchronization.

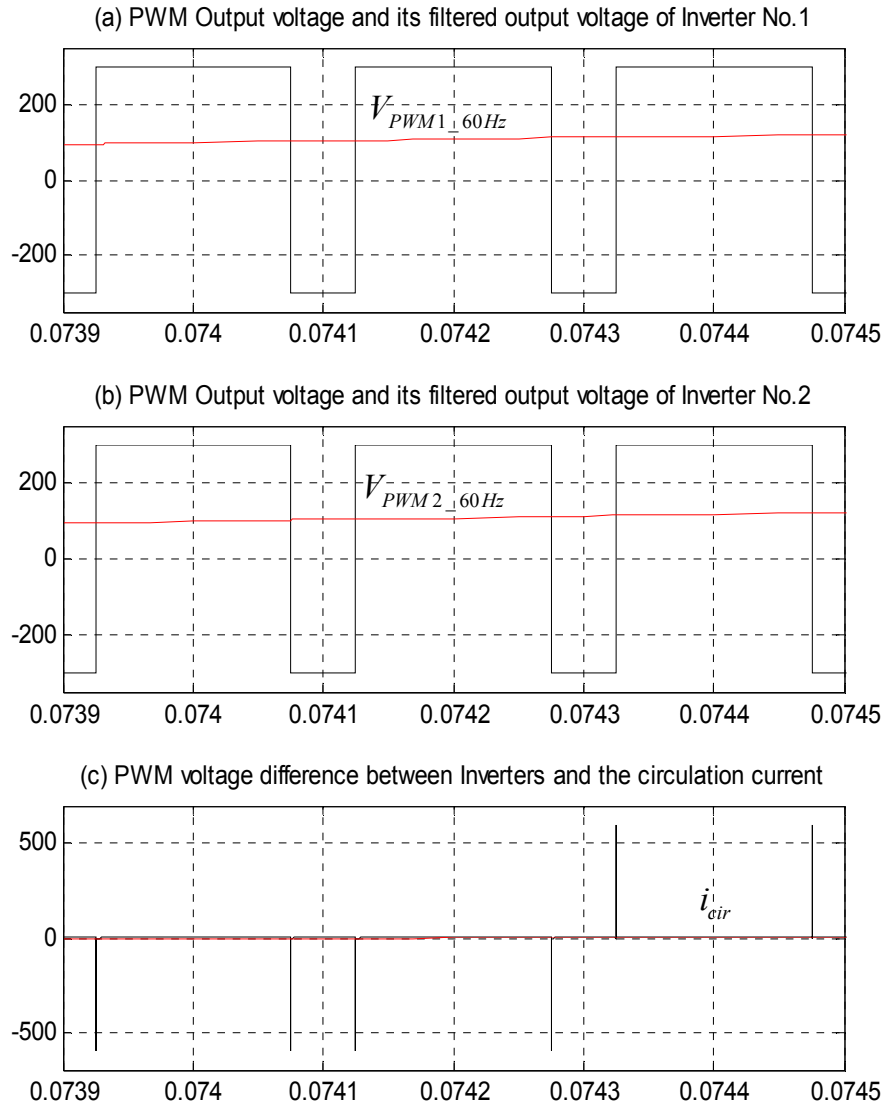


그림 4.23 PWM 동기시 고조파 순환전류

Fig. 4.23. The harmonic circulation current in case of PWM synchronization.

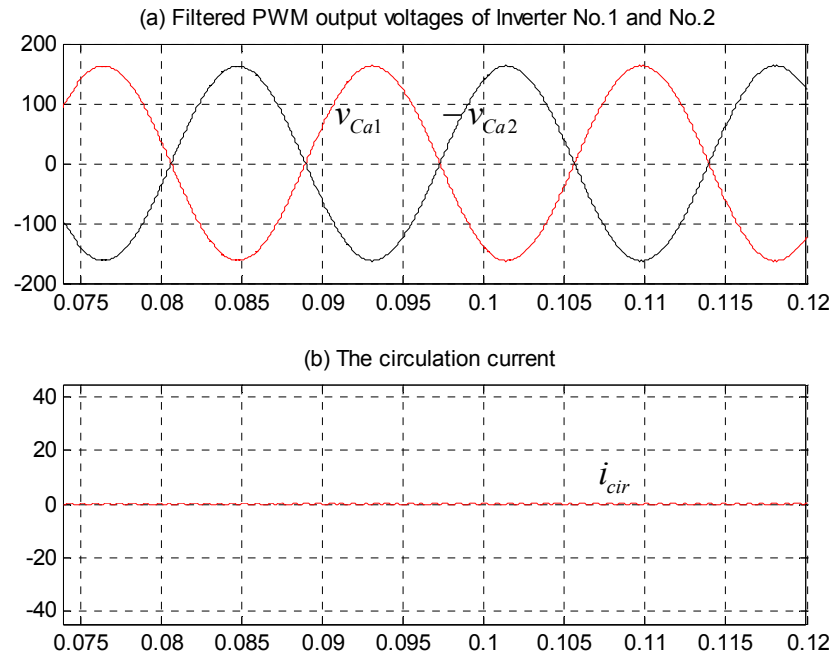


그림 4.24 PWM 동기시 병렬운전중인 각 인버터의 부하전류 및 고조파 순환전류
 Fig. 4.24. Inverter load current waveforms and harmonic circulation current in case of PWM synchronization.

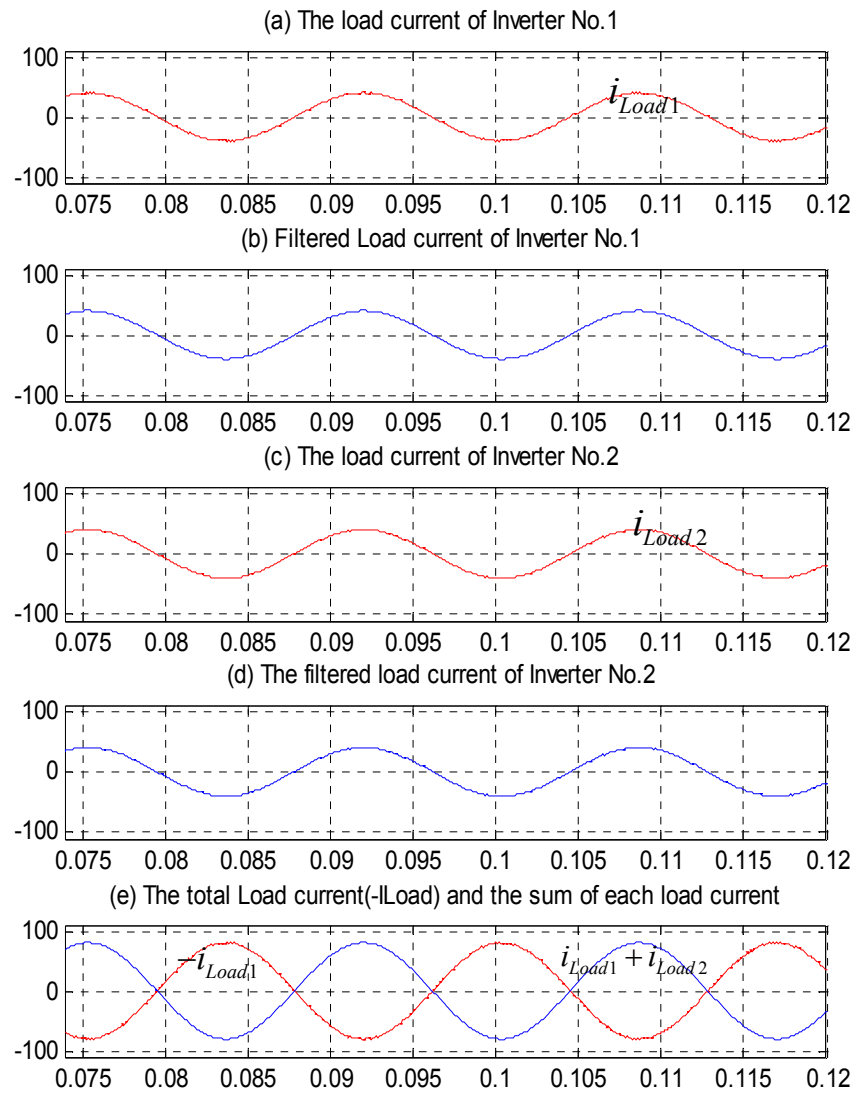


그림 4.25 PWM 동기시 병렬운전중인 각 인버터의 출력전압 및 고조파 순환전류

Fig. 4.25. Inverter Output voltage waveforms and the circulation current in case of PWM synchronization.

제 5 장 실험결과 및 검토

5.1 시스템 구성

5.1.1 시험 장치의 구성

본 논문에서 제안된 동기좌표계를 이용한 불평형 및 비선형 부하시의 전압왜곡 보상기의 특성을 확인하기 위한 시험장치의 사진을 그림 5.1 및 그림 5.2에 나타낸다. 그림 5.1은 전체 시험장치의 사진이며 그림 5.2는 3상 컨버터 및 인버터를 구성하는 IGBT 스택의 사진이다. 시험장치의 전력회로 구성은 그림 5.3과 같으며 크게 정류부인 PWM 컨버터, 직류링크, 3상 전압발생을 위한 PWM 인버터, 출력변압기, 그리고 필터커패시터로 구성되어 있다. 출력변압기의 누설 리액턴스는 필터 커패시터와 함께 PWM 스위칭 노이즈를 제거하는 LC필터 역할을 수행한다.

5.1.2 제어보드의 구성

제어기의 핵심적인 역할을 수행하는 DSP(Digital Signal Processor)는 텍사스 인스트루먼트사의 DSP인 TMS320C6711과 TMS320F2812를 사용하였다. 그림 5.4는 DSP 제어기의 구성도를 나타낸다. 그림 5.4에서 DSP TMS320C6711은 32비트 부동소수점 연산용으로써 동기좌표축 전압제어, PLL제어, 병렬운전 제어기등 모든 제어용 소프트웨어를 수행하며 32비트 고정 소수점 연산용인 TMS320F2812는 TMS320C6711의 코프로세서(co-processor)로써 내장된 12비트*16채널의 ADC(Analog to Digital Converter)와 PWM 블록을 사용하여 무정전 전원장치의 각종 전압 및 전류 신호를 디지털로 변환하고 TMS320C6711의 연산결과에 대응하는 PWM 블록을 통해 인버터 IGBT의 게이트신호를 발생하는 기능을 수행한다. 또한 병렬운전시 각각의 인버터간 통신은 TMS320F2812 내장된 CAN모듈을 통해서 수행된다. 메모리는 프로그램 저장용인 플래시 메모리와 프로그램이 직접 수행되는 SDRAM 이 외부 메모리로 TMS320C6711과 연결되어 있으며 컨버터측 전류제어기는 TMS320C6711에 내장된 내부메모리에서 그리고 TMS320F2812과 관련된 소스코드는 TMS320F2812의 내장된 내부 메모리에 저장되고 운전된다. DSP TMS320C6711 과 TMS320F2812간의 정보교환은 DPRAM을 통해서 수행된

다. DPRAM은 자일링스사의 FPGA XC3S400을 사용하여 구성하였으며 이 밖에도 디지털 입출력을 비롯한 관련된 디지털 로직회로를 FPGA로 집적화하였다.

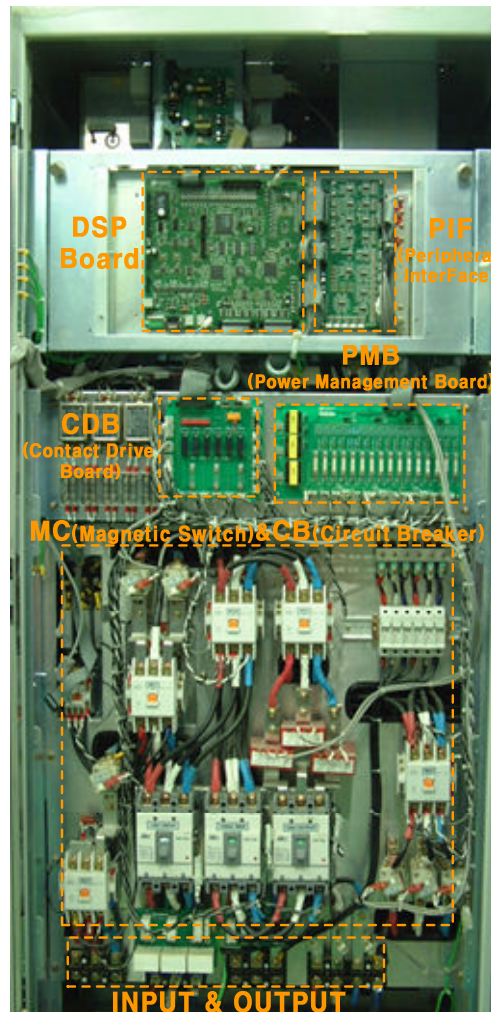


그림 5.1 시험 장치 외관 사진

Fig. 5.1. Photograph of the experimental prototype.

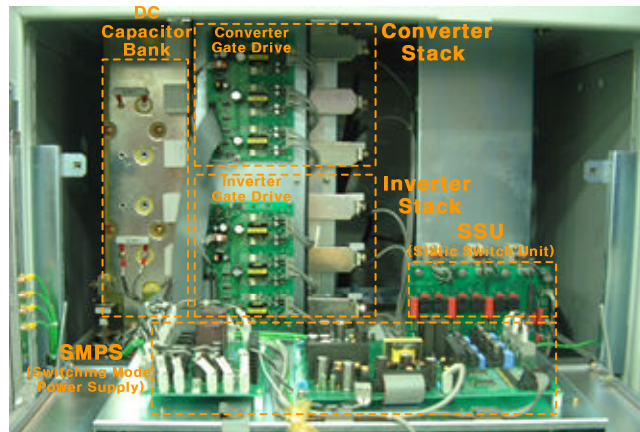


그림 5.2 IGBT stack 사진

Fig. 5.2. Photograph of the IGBT stack in the experimental prototype

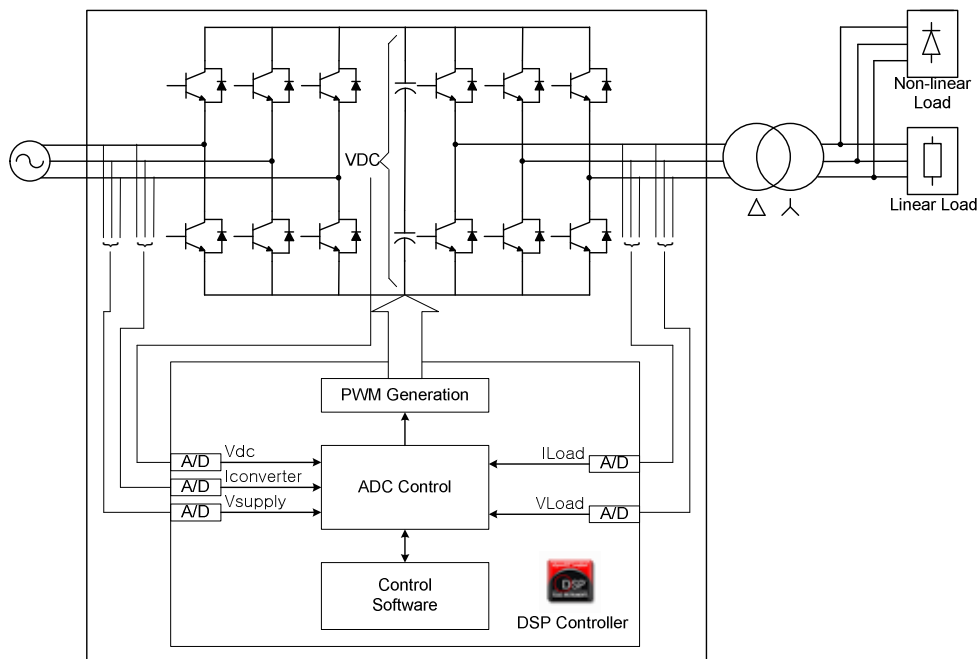


그림 5.3 시험용 장비의 전력회로 및 제어시스템 구성

Fig. 5.3. Components of the experimental prototype.

5.1.3 소프트웨어 구성

그림 5.5은 TMS320C6711에서 수행되는 제어 소프트웨어의 구성도를 나타낸다. 크게 4개의 부분으로 구성되어 있다. 2mSec 마다 시스템 인터럽트가 발생하며 여기서는 장비의 운전과 관련된 디지털 입력 및 출력을 처리한다. 200μSec마다 발생하는 인터럽트 신호에 의해서 컨버터의 전압 및 전류 제어를 수행하고 인버터의 전압제어기 및 불평형 및 비선형 부하보상 루틴을 수행한다. 또한 비동기 직렬통신을 수행하고 고장발생시 NMI (Non Maskable Interrupt)인 INT0가 발생하여 게이트신호의 차단 등 고장처리 루틴을 수행한다. 그림 5.6은 TMS320F2812에서 수행되는 소프트웨어의 구성도를 나타낸다. 이 루틴은 크게 3가지의 기능을 수행하는데 200μSec마다 전압 전류등의 각종 아날로그 계환신호를 디지털 신호로 변환하고 TMS320C6711의 제어기 출력과 대응되는 PWM 신호를 발생하며 병렬운전시 CAN 통신을 수행한다.

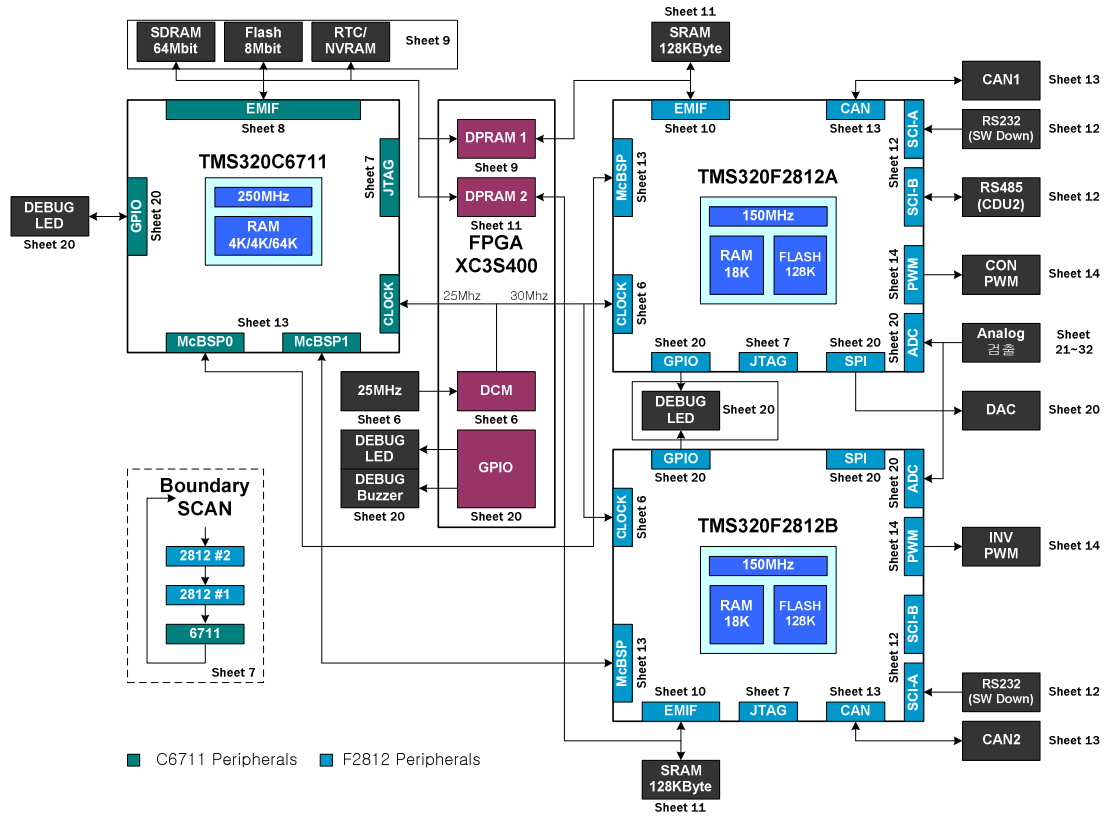


그림 5.4 DSP 제어기의 구성

Fig. 5.4. Configuration of DSP controller in experimental prototype.

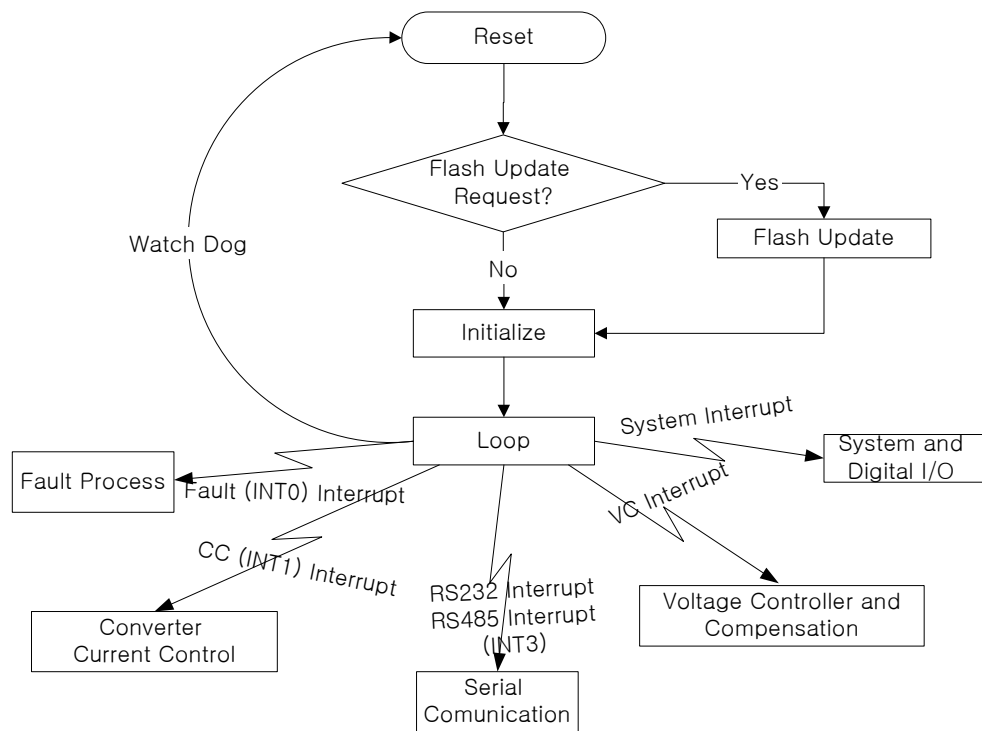


그림 5.5 TMS320C6711에서 수행되는 제어 소프트웨어의 구성

Fig. 5.5. Configuration of control software in TMS320C6711.

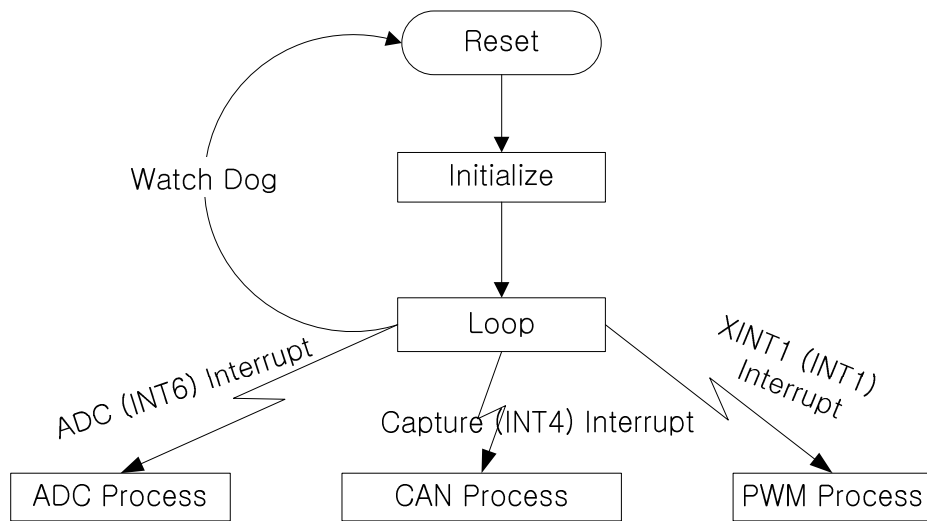


그림 5.6 TMS320F2812에서 수행되는 제어 소프트웨어의 구성

Fig. 5.6, Configuration of control software in TMS320F2812.

5.2 실험결과

본 연구에서 제안된 그림 3.1의 동기좌표계 전압제어기에 대한 실험결과를 그림 5.7에서 그림 5.11에 걸쳐서 나타내었다. 시험조건은 표 5.1과 같다.

그림 5.7는 제안된 제어기의 실제 제어대역폭을 나타낸다. 제어기의 제어대역폭을 측정하기 위해서 q축 전압 기준을 135V에서 142V로 120Hz 주파수로 변화시켰을 때 실제 출력전압이 기준치를 추종하는 시험을 수행하였다. 이 결과로부터 실제 q축 전압이 전압기준을 추종하는 최대 응답속도는 약 120Hz로써 제안된 제어기의 대역폭은 120Hz 이하인 것을 알 수 있다.

그림 5.8은 불평형부하상태에서의 3상 커패시터 전압파형인 v_{Ca} , v_{Cb} , 그리고 v_{Cc} 를 나타낸다. 불평형 부하조건은 모의 실험에서와 같이 A상에만 부하를 투입하였다. 그림 5.8(a)은 불평형 보상기를 적용하지 않은 동기좌표계 전압제어기에 대한 결과를 나타낸다. 상간불평형률은 각각 AB상은 2.1%, BC상은 3.0%, 그리고 CA상은 0.9%이며 역상성분은 6V로 약 2.9%이다. 이에 비하여 같은 불평형 조건에서 보상기를 적용한 경우에 대한 결과는 그림 5.8(b)에 나타난다. 각상간 불평형률이 0.1% 미만이고 출력전압의 역상성분도 0.4V로 0.2% 미만으로 측정되었다. 제안된 불평형 전압왜곡 보상기를 적용하였을 경우 불평형 부하 상태에서 커패시터 출력전압이 3상 평형임을 알 수 있다.

그림 5.9는 비선형 부하에 대한 결과로써 A상 커패시터 전압, v_{Ca} 와 A상 부하 전류 $i_{Load a}$ 의 파형을 나타낸다. 비선형 부하는 3상 다이오드 정류기를 사용하였다. 그림 5.9(a)는 보상기를 적용하지 않은 경우에 대한 결과이고 그림 5.9(b)는 본 연구에서 제안한 보상 알고리즘을 적용하여 5차 및 7차 만의 고조파 왜곡성분 보상을 시도한 경우의 대한 결과를 나타낸다. 보상기가 없는 동기좌표계 전압제어의 경우 출력전압의 THD는 약 6%인데 비해서 에서 보상기를 적용하였을 경우에는 1.2%로 개선되었다. 그림 5.10은 각각 그림 5.9의 전압 및 전류 파형의 FFT 분석 결과를 나타낸다. 그림 5.10(a)의 전압파형의 FFT결과는 5차 및 7차 성분을 갖는데 비하여 그림 5.10(b)의 전압파형의 FFT분석 결과에서는 5차 및 7차 고조파 성분이 거의 영인 것을 알 수 있다.

그림 5.11는 3상 다이오드 정류기부하와 불평형부하(A상에만 선형 부하를 정격

의 약 50%투입) 조건에서의 3상 커패시터 전압과 부하전류 파형을 나타낸다. 그림 4.18에 나타난 모의실험 결과와 유사하게 부하전류가 비선형으로 불평형된 상황에서도 3상 출력전압이 평형을 유지하며 동시에 고조파 왜곡도 나타나지 않음을 보인다.

그림 5.12에서 그림 5.16까지는 제안된 전압제어기를 이용한 인버터 병렬운전에 대한 결과이다. 그림 5.12은 두 대의 무정전 전원장치를 병렬로 연결하고 아무런 제어도 하지 않은 상태에서 각각의 인버터가 동일한 60Hz의 기준전압에 대해서 PWM 출력전압을 발생하고 있는 상태에서 마스터 UPS의 출력전류를 측정한 파형이다. 그림에서 보여지는 바와 같이 각각의 인버터의 PWM 비동기로 인해 스위칭 주파수와 동일한 주파수를 갖는 고조파 순환전류가 발생하는 것을 알 수 있다. 그림 5.13과 그림 5.14는 무부하 상태에서의 시험 결과이다. 그림 5.13은 PWM 동기화 기법을 적용하지 않은 경우이고 그림 5.14는 본 연구에서 제안한 PWM 동기화 기법을 적용한 경우이다. 각각의 그림에서 CH2 및 CH3은 각각 마스터 UPS 와 슬레이브 UPS의 PWM 파형을 그리고 CH4는 마스터 UPS 와 슬레이브 UPS 사이를 흐르는 순환전류 파형을 나타낸다. 그림 5.13의 경우 PWM 주파수와 동일한 고조파 순환전류가 흐르고 있으나 그림 5.14는 인버터 각각의 PWM 파형이 정확히 동기화되고 고조파 순환전류가 거의 흐르지 않음을 알 수 있다. 그림 5.15 및 그림 5.16는 부하상태에서 제안된 제어기의 병렬운전 시스템의 부하분담 성능을 나타낸다. 각각의 그림에서 CH2는 병렬시스템에서의 부하전압을 CH3과 CH4는 각각 마스터 인버터와 슬레이브 인버터의 출력전류 파형이다. 그림 5.15는 PWM 동기화 기법을 적용하지 않고 인버터 전류 전향보상을 적용하지 않은 상태에서의 병렬운전 시험 결과를 나타내고 그림 5.16는 PWM 동기화 기법과 인버터 전류 전향 보상을 적용한 경우에 대한 결과이다. 그림 5.15의 경우 부하 분담 제어에 오차를 가지며 각각의 인버터 출력전류에 고조파성분이 포함되어 있음을 알 수 있다. 반면에 그림 5.16의 전류파형은 고조파 성분을 포함하지 않을 뿐 만 아니라 부하분담도 오차가 없이 정확히 반분되는 것을 보인다. 이상의 결과로부터 제안된 전압제어기의 병렬운전의 타당성 확인은 물론 인버터 전류 전향보상기 및 PWM 동기화 기법은 병렬운전시

에 고정도의 부하 분담 성능향상에 효과가 있음을 알 수 있다

표. 5.1 시험조건

Table. 5.1 Test Conditions

정격용량	30kVA
출력주파수	60Hz
출력선간전압	208V
DC 전압	405V
스위칭 주파수	5kHz

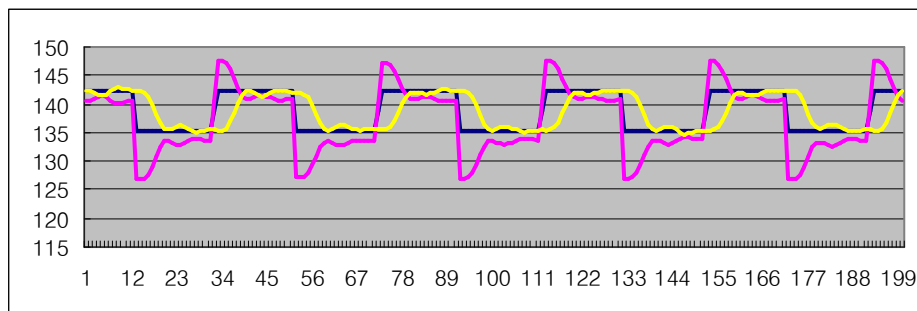
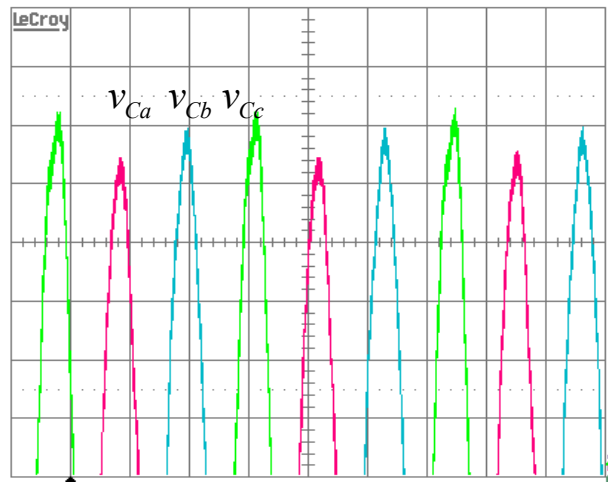
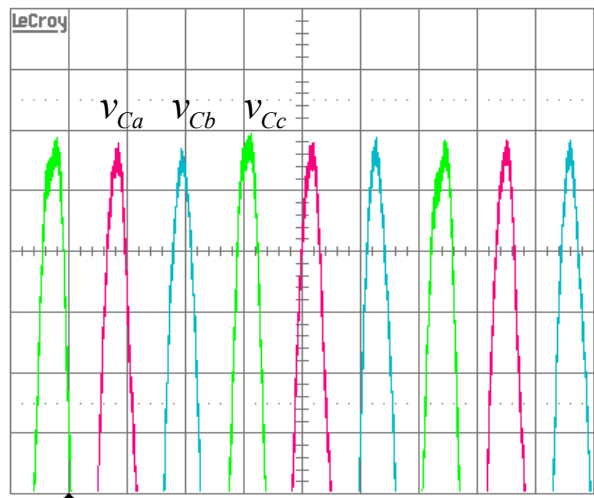


그림 5.7 q축 전압 기준치에 대한 제어응답특성

Fig. 5.7. The q-axis voltage reference and its responses of the feedback voltage and PI output signal.



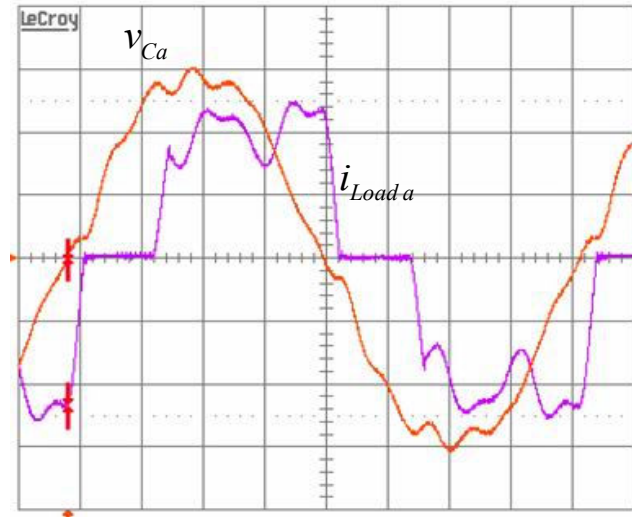
(a) 보상기를 적용하지 않은 경우
(20V/div, 5ms/div)



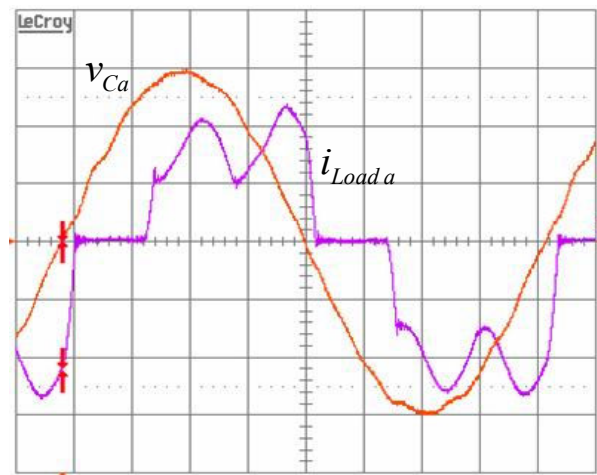
(b) 제안된 보상기를 적용한 경우
(20V/div, 5ms/div)

그림 5.8 불평형 부하에 대한 인버터 3상 출력전압 파형

Fig. 5.8. Three-phase inverter output voltage waveform under unbalanced load.



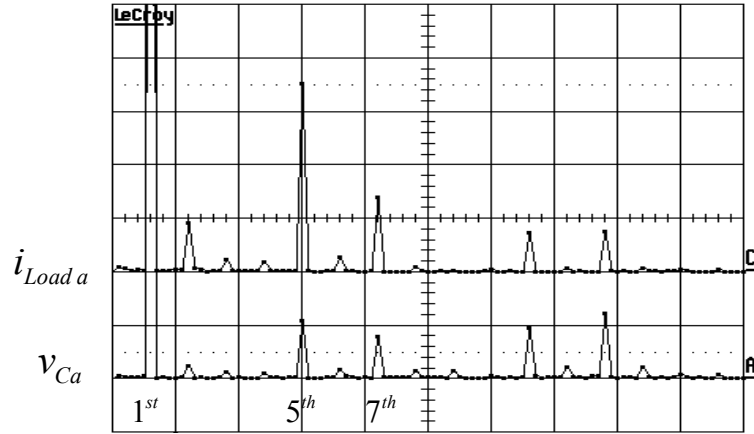
(a) 보상기를 적용하지 않은 경우
(100V/div, 2ms/div)



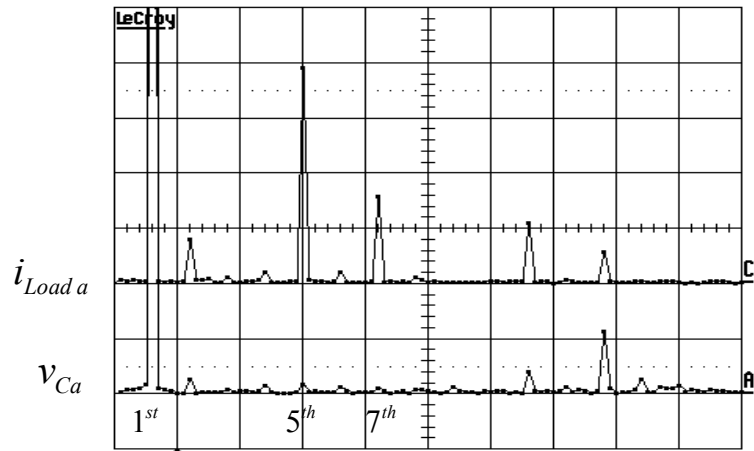
(b) 제안된보상기를 적용한 경우
(100V/div, 2ms/div)

그림 5.9 비선형 부하에 대한 인버터 출력전압 및 전류 파형

Fig. 5.9. The output voltage and load current waveform under 3-phase diode rectifier load

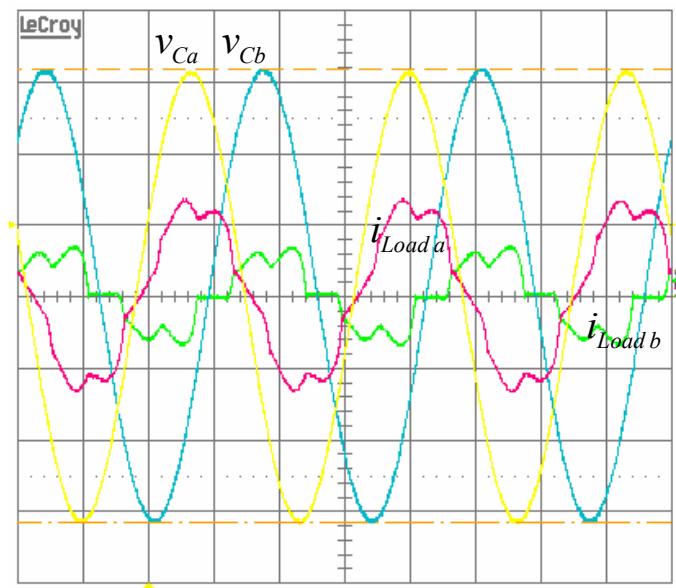


(a) 보상기를 적용하지 않은 경우
(4V/div, 4A/div, 100Hz/div)



(b) 제안된 보상기를 적용한 경우
(4V/div, 4A/div, 100Hz/div)

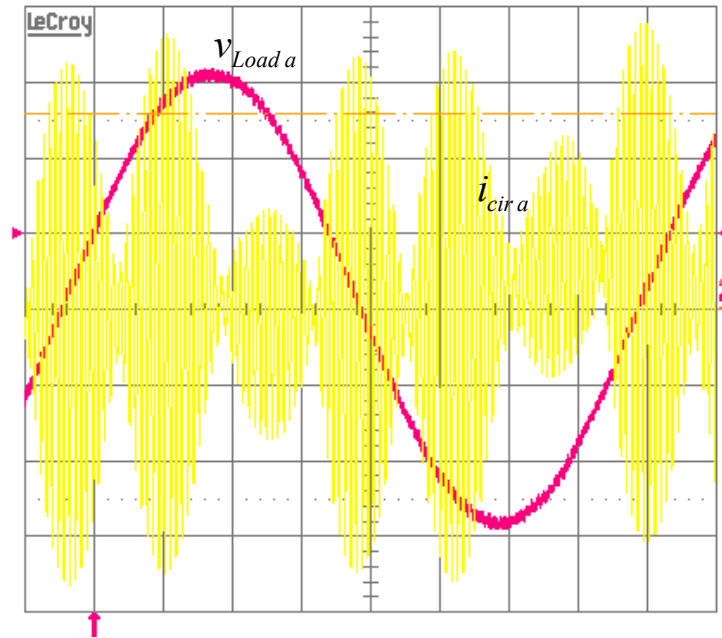
그림 5.10 그림 5.7의 전압 전류파형에 대한 FFT 스펙트럼
Fig. 5.10. FFT spectra of the voltage and current waveforms shown in Fig. 5.7.



(100V/div, 50A/div, 5ms/div)

그림 5.11 불평형 및 비선형 부하 동시 보상에 대한 결과

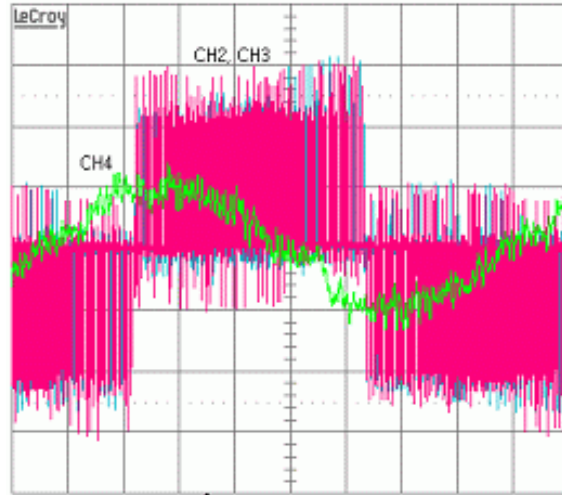
Fig. 5.11. Test results for both unbalanced and non-linear loads.



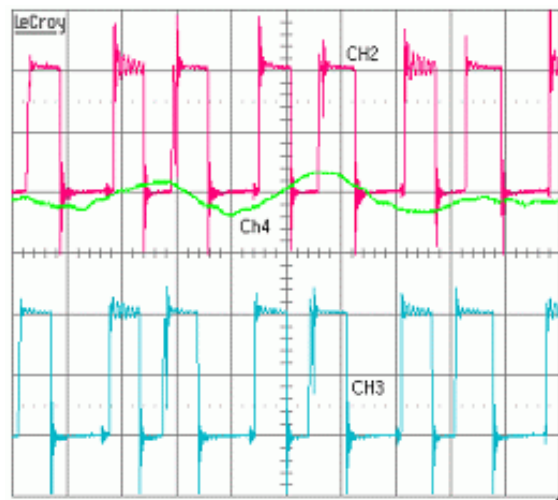
(100V/div, 10A/div, 2ms/div)

그림 5.12 무부하 상태에서 인버터간에 흐르는 고조파 순환전류

Fig. 5.12. Harmonic circulation current waveform flowing between parallel connected inverters under no-load state.



(200V/div, 5A/div, 2ms/div)



(200V/div, 5A/div, 50us/div)

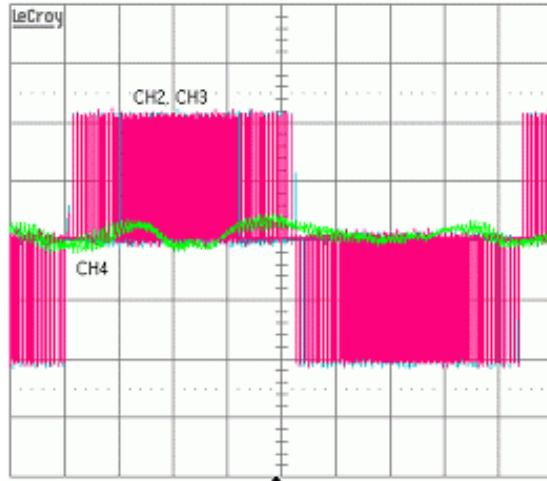
CH2: UPS#1 인버터 선간(AB) 출력전압

CH3: UPS#2 인버터 선간(AB) 출력전압

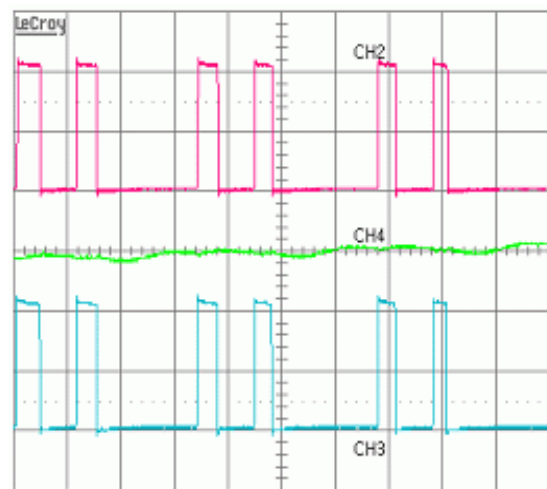
CH4: UPS#1 A 상출력전류

그림 5.13 PWM 비동기시 무부하 상태에서의 UPS 병렬운전 특성

Fig. 5.13. Parallel operation of UPS system without PWM synchronization under no-load state.



(200V/div, 5A/div, 2ms/div)



(200V/div, 5A/div, 50us/div)

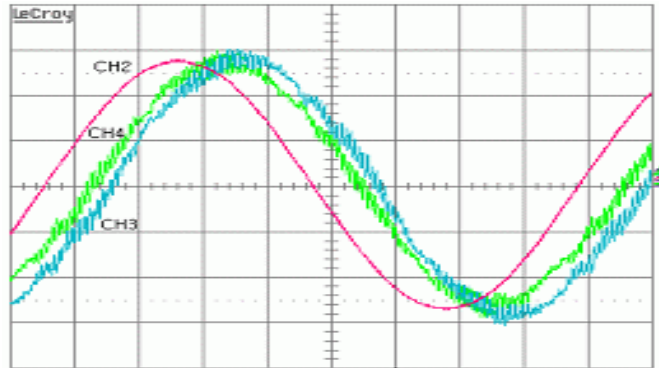
CH2: UPS#1 인버터 선간 출력전압

CH3: UPS#2 인버터 선간 출력전압

CH4: UPS#1 A 상 출력전류

그림 5.14 PWM 동기화 기법을 적용한 무부하 상태에서의 UPS 병렬운전 특성

Fig. 5.14. Parallel operation of UPS system with the proposed solution of PWM synchronization under no-load state.



(100V/div, 50A/div, 2ms/div)

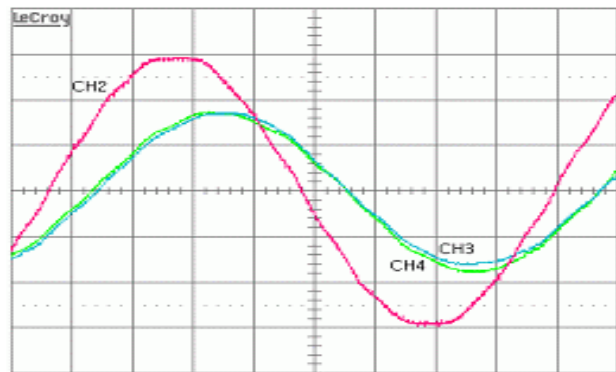
CH2: UPS#1 인버터 선간 출력전압

CH3: UPS#2 인버터 선간 출력전압

CH4: UPS#1 A상 출력전류

그림 5.15 기존 전력편차에 의한 병렬운전 특성

Fig. 5.15. Test results of inverter parallel operation for the conventional power deviation method



(100V/div, 50A/div, 2ms/div)

CH2: UPS#1 인버터 선간 출력전압

CH3: UPS#2 인버터 선간 출력전압

CH4: UPS#1 A상 출력전류

그림 5.16 제안된 제어기의 병렬운전 특성

Fig. 5.16. Test results of inverter parallel operation for the proposed method

제 6 장 결론

본 연구에서는 LC필터를 갖는 3상 인버터를 고성능으로 제어할 수 있는 완전 디지털 전압제어기를 제안하였으며 다음과 같은 결론을 얻었다.

- 제안된 제어기는 기본구조가 동기좌표계 전압제어기로 되어 있어 구조가 간단하고 구현하기 쉽다.
- 동기좌표계 변환을 이용하여 인버터 출력전압을 계통전압과의 동기화를 위한 고성능 디지털 PLL회로를 쉽게 구현할 수 있다
- 불평형 그리고 비선형 부하상태에서도 동기좌표상의 비례-적분제어기가 3상 평형, 선형부하상태에서와 같이 계속 직류값을 가지고 운전함으로써 제어기의 게인 설계가 쉽고, 비록 전압제어기의 제어 대역폭이 낮아도 정상상태 오차를 영(zero)으로 만들 수 있다. 이때 보상기 내의 d-q축 비례-적분기의 직류 출력신호는 그 자체가 진상각 정보를 나타내게 된다. 따라서 진상각 예측을 위한 별도의 복잡한 예측 알고리즘을 필요로 하지 않는다.
- d축 및 q축의 제어신호 자체가 크기 및 위상 정보를 가지고 있어, 제어기의 전압지령기준값만을 조정 하여 인버터 출력전압의 크기 및 위상을 조정할 수 있어 병렬운전시 전력편차를 이용한 기본파 순환전류 제거방법의 적용이 용이하므로 병렬운전으로의 확대 적용이 매우 쉽다.

결론적으로 본 연구에서 제안한 알고리즘 및 전압제어기는 3상 무정전 전원장치의 인버터용 전압제어기에 가장 적합한 제어기로 적용할 수 있을 거라고 생각되며 태양광 발전을 위한 PCS(Power Conditioning System)을 비롯한 다른 직류-교류 전원장치에도 확대 적용이 가능 할 것으로 생각된다. 또한 병렬운전을 위한 기본파 순환전류 알고리즘 및 PWM 동기화 기법 역시 인버터 병렬운전 시스템에 매우 유용하게 적용될 수 있을 것으로 생각된다.

참 고 문 헌

- [1] Stoyan B. Bekiarov and Ali Emadi, “Uninterruptible Power Supplies: Classification, Operation, Dynamics, and Control,” *IEEE*, 0-7803-7404-5/02 , 2002.
- [2] 무정전 전원장치에 대한 KS 규격 KS C4310C
- [3] “Untbrechungsfreie Stromversordungen. Teil3:Betriebsanforderungen und Prüfverfahren”, *DD ENV50091-3*, 1999.
- [4] “1992 Recommended Practices and Requirements for harmonic Control in Electric Power System” , *IEEE 519*, 1992.
- [5] MICHAEL A. BOOST and PHOIVOS D. ZIOGAS, “Towards a zero-output impedance UPS system,” *IEEE Trans. Industry Applications*, vol. 25, no.3, pp. 408–418, May/June 1989.
- [6] Slobodan Vukosavic, Ljiljana Peric, Emil Levi and Vladan Vucjovic, “Reduction of the output impedance of PWM inverter for uninterruptible power supplies,” *IEEE Power Electronics Specialists Conference*, pp.757-762., Jun. 1990.
- [7] B. A . Francis and W. M Wonham, “The internal model principle for linear multivariable regulators,” *Appl. Math. Opt.*, vol. 2, no. 2, pp. 170-194, 1973.
- [8] M. Tomizuka and D. E. Rosenthal, “On the optimal digital state vector feedback controller with integral and preview actions,” *Trans. ASME*, vol. 101, pp. 172-187, June 1979.
- [9] Michael J. Ryan, William E. Brumsickle, and Robert D. Lorenz, “Control Topology Options for Single-Phase UPS Inverters,” *IEEE Trans. IAS*, vol. 33, no. 2, pp. 493-501, March/Apr. 1994.
- [10] T. Inoue and M. Nakano, “High accuracy control of a proton synchrotron magnet power supply,” in *IFAC Conf. Rec.*, pp. 216-221, 1981.
- [11] A. Kawamura and R.G. Hoft, “Instantaneous feedback controlled PWM inverter with adaptive hysteresis,” *IEEE Trans. Ind. App.*, vol. 20, pp.769-775, July/Aug. 1982.

- [12] T. Haneyoshi, A. Kawamura, and R. G. Hoft, "Waveform compensation of PWM inverter with cyclic fluctuating loads," in *Proc. IEEE IAS Ann. Meeting, Denver, Co.*, vol. 24, pp. 582–589, July/Aug. 1986.
- [13] A. Kawamura, R. Chuarayapratip, and T. Haneyoshi, "Deadbeat control of PWM inverter with modified pulse patterns for uninterruptible power supply," *IEEE Trans. on Industrial Electronics*, vol. 35, no. 2, pp. 295–300, May 1985.
- [14] A. Kawamura, T. Haneyoshi, and R. G. Hoft, "Deadbeat controlled PWM inverter with parameter estimation using only voltage sensor," *IEEE Trans. Power Electronics*, vol. 3, pp. 118–124, Apr. 1985.
- [15] A. Kawamura and T. Yokoyama, "Comparison of five different approaches for real time digital feedback control of PWM inverter," in *IEEE IAS Annual Meet. Conf. Rec.*, pp. 1005–1011, Oct. 1990.
- [16] T. Kawabeta, T. Miyashita and Y. Yamamoto, "Deadbeat Control of Three Phase PWM Inverter," *IEEE Trans. on Power Electronics*, vol. 5, no. 1, pp. 21–25, Jan. 1990.
- [17] O. Kukrer, "Deadbeat control of a three-phase inverter with an output LC filter," *IEEE Trans. on Power Electronics*, vol. 11, no. 1, pp. 16–23, Jan. 1996.
- [18] H. Wu, D. Lin, D. Zhang, K. Yao, and J. Zhang, "A current-mode control technique with instantaneous inductor-current feedback for UPS inverters," in *Proc. 14th IEEE APEC*, vol. 2, pp. 952–957, Mar. 1999.
- [19] S. Jung and Y. Tzou, "Sliding mode control of a closed-loop regulated PWM inverter under large load variations," in *Conf. Rec. IEEE-PESC Conf., Seattle, WA*, pp. 616–622, June 1993.
- [20] M. Carpita, M. Mazzucchelli, S. Savio, and G. Sciutto, "A new PWM control system for UPS using hysteresis comparator," in *Proc. IEEE IAS Ann. Meeting, Atlanta, GA*, pp. 749–752, 1987.
- [21] S. L. Jung and Y. Y. Tzou, "Discrete feedforward sliding mode control of a PWM inverter for sinusoidal output waveform synthesis," in *Proc. IEEE PESC'94*, vol. 1, pp. 552–559, June 1994.

- [22] M. J. Ryan and R. D. Lorenz, "A high-performance sine wave inverter controller with capacitor current feedback and "Back-EMF" decoupling," in *Conf. Rec. IEEE-PESC, Atlanta, GA*, pp.507–513, 1995.
- [23] Youichi Ito and Shoichi Kawauchi, "Microprocessor-Based Robust Digital Control for UPS with Three-Phase PWM Inverter," *IEEE Transactions on PE*, vol. 10, No. 2, March 1993.
- [24] T. Haneyoshi, A. Kawamura, and R. G. Hoft, "Waveform compensation of PWM inverter with cyclic fluctuating loads," in *Proc. IEEE Power Electron. Spec. Conf.*, pp. 745–751, 1987.
- [25] M. Tomizuka, "Zero phase error tracking algorithm for digital control," *Trans. ASME: J. Dyn. Syst., Meas., Contr.*, vol. 109, no. 2, pp. 65–68, 1984.
- [26] M. Tomizuka, T. C. Tsao, and K. K. Chew, "Discrete-time domain analysis and synthesis of repetitive controller," in *Amer. Contr. Conf. Rec.*, pp. 860-866, 1985.
- [27] S.Hara, Y. Yamamoto, T. Omata, and M. Nakano, "Repetitive control system: A new type servo system for periodic exogenous signals," *IEEE Trans. Automat. Contr.*, vol. 33, no. 7, pp. 659-666, July 1988.
- [28] H.I. Cha, S. S. Kim, M. G. Kang, and y. H. Chung, "Real-time digital control of PWM inverter with PI compensator for uninterruptible power supply ,"in *IEEE IECON Conf. Rec.*, vol.2, pp.1124-1125, Nov. 1990.
- [29] C. Hua and R. G. Hoft, "High performance deadbeat controlled PWM inverter using a current source compensator for nonlinear loads," in *IEEE PESC Conf. Rec.*, pp. 443-450, 1992.
- [30] Y. Y. Tzou, L. H. Ho, and R.S. Ou, "Fuzzy control of a closed-loop regulated PWM inverter under large load variations," in *IEEE IECON Conf. Rec.*, vol. 1, pp. 267-272, Nov. 1993.
- [31] S. L. Jung and Y. Y. Tzou, "Discrete feedforward sliding mode control of a PWM inverter for sinusoidal output waveform synthesis," in *IEEE PESC Conf. Rec.*, vol. 1, pp. 552-559, June 1994.
- [32] S. L. Jung, L. H. Ho, H. C. Yeh, and Y. Y. Tzou, "DSP-based digital control of a PWM inverter for sinusoidal wave synthesis by optimal state feedback approach," in *IEEE PESC Conf. Rec.*, pp. 546-551, 1992.

- [33] R. S. Ou, "Design and implementation of a DSP-based programmable AC power source with low harmonic distortion using repetitive control theory," Master's thesis, Instit. Control Eng., Nat.Chiao Tung Univ., Hsinchu, Taiwan, R.O.C., June 1992.
- [34] Keliang Zhou and Danwei Wang, "Digital Repetitive Learning Controller for Three-Phase CVCF PWM Inverter," *IEEE Trans. on Industrial Electronics*, vol.48, No.4, pp.121-125, 1996.
- [35] Y. Y. Tzou, R. S. Ou, S. L. Jung, and M. Y. Chang, "High-performance programmable ac power source with low harmonic distortion using DSP-based repetitive control technique," *IEEE Trans. Power Electron.*, vol. 12, pp. 715–725, July 1997.
- [36] S. L. Jung, H. S. Huang, and Y. Y. Tzou, "A three-phase PWM AC–DC converter with low switching frequency and high power factor using DSP-based repetitive control technique," in *Proc. IEEE PESC'98 Conf., Fukuoka, Japan*, pp. 517–523, May 1998.
- [37] Y. Y. Tzou, S. L. Jung, and H. C. Yeh, "Adaptive repetitive control of PWM inverters for very low THD AC-voltage regulation with unknown loads," *IEEE Trans. Power Elec.*, vol. 14, pp. 973–981, Sep. 1999.
- [38] K. Zhou and D. Wang, "Periodic errors elimination in CVCF PWM DC/AC converter systems: A repetitive control approach," in *Proc. Inst. Elect. Eng.*, vol. 147, no. 6, pp. 694–700, Nov.2000.
- [39] K. Zhou and D. Wang, "Digital repetitive learning controller for three phase CVCF PWM inverter," *IEEE Trans. Ind. Electron.*, vol. 48, pp.820–830, Aug. 2001.
- [40] Keliang Zhou and Danwei Wang, "Digital Repetitive Learning Controller for Three-Phase CVCF PWM Inverter," *IEEE Transactions on Industrial Electronics*, vol. 48, No. 4, Aug. 2001.
- [41] Keliang Zhou and Danwei Wang, "Digital Repetitive Controlled Three-Phase PWM rectifier," *IEEE Transactions on Power Electronics*, Vol. 18, No. 1, Jan. 2003.

- [42] P. A. Dahono, P. Ismutadi, Y. Sato, and T. Kataoka, "A control method for single-phase PWM inverters," in *Conf. Rec. IEEE/PEDS*, pp. 282-285, 2001.
- [43] Josep M. Guerrero, Luis Garcia de Vicuna, Jose matas, Jaume miret, and Miguel castilla, "A High-Performance DSP-Controller for parallel Operation of On line UPS Systems", *Conference Records on APEC 2004*, CD ROM, Feb. 2002.
- [44] A. Von Joune, P.N. Enjeti and D.J. Lucas, "DSP Control of High power UPS Systems Feeding Nonlinear Loads," *IEEE Trans. on Industrial Electronics*, vol.43, No.1, pp.121-125, 1996.
- [45] T.W. Rowan and R. J. Kerkman, "A new synchronous current regulator and an analysis of current-regulated PWM inverters," *IEEE Trans. Ind. Appl.*, vol. IAS-22, pp. 678-690, July/Aug. 1986.
- [46] P. Mattavelli and S. Fasolo, "Implementation of Synchronous Frame harmonic Control for high-performance AC Power Supplies," *Proceedings of the 2000 IEEE Industrial Applications Conference*, vol. 3, pp 1988-1993.
- [47] Paolo Mattavelli, "Synchronous-Frame Harmonic Control for High-Performance AC Power Supplies," *IEEE Transactions on Industry Appl.*, vol. 28, NO. 4, pp.864-872, July / Aug. 1992.
- [48] Elham B. Makram, Regan B. Haines, and Adly A. Girgis, "Effect of Harmonic Distortion in Reactive Power Measurement," *IEEE Transactions on Ind. Appl.*, vol. 37, no. 3, Apr./May 1990.
- [49] P. Mattavelli, "A closed-loop selective harmonic compensation for active filters," *IEEE Trans. Ind. Appl.*, vol. 37, pp. 81-89, Jan/Feb. 2001.
- [50] Peng Li, Bai Dan, Kang Yong, and Chen Jian, "Research on three-phase inverter with imbalanced load," *Conference Records on APEC 2004*, CD ROM, Feb. 2002.
- [51] P.Hsu and M. Behnke, "A Three-phase Synchronous Frame Controller for Unbalanced Load," *Proceedings of the 1988 IEEE Power Electronics Specialists Conference*, vol.2, pp.1369-1372.
- [52] R. A. Gannett¹, J. C. Sozio², D. Boroyevichi, "Application of Synchronous and Stationary Frame Controllers for Unbalanced and Non-Linear Load Compensation in 4-Leg Inverters," *IEEE Power Electronics Appl.*, vol. 2, pp. 1038-1043, March 2002.

- [53] Uffe Borup Jensen, Prasad N. Enjeti, and Frede Blaabjerg, "A New Space Vector Based Control Method for UPS systems Powering Nonlinear and Unbalanced Loads," *IEEE Applied power Electronics Conferences, APEC 2000*, New Orleans, pp. 895-901, Feb. 2000.
- [54] T. Kataoka, T. Ishizuka, K. Nezu, Y. Sato, and H. Yamaguchi, "Current control of voltage-type PWM rectifier introducing resonance-based controller," in *Conf. Rec. IEEE/Power Electronics and Variable Speed Drives Conference*, pp. 519-522., Sept. 1996.
- [55] Y.B. Byun, K.Y. Joe, S.J. Park, C.U. Kim, "DSP control of three-phase voltage source UPS inverter with software controlled harmonic conditioners," *IEEE Telecommunications Energy Conference, 1997*, pp. 195-200, Oct. 1997.
- [56] Y. Sato, T. Ishizuka, K. Nezu, and T. Kataoka, "A new control strategy for voltage-type PWM rectifiers to realize zero steady-state control error in input current," *IEEE Trans. on Ind. Appl.*, vol. 34, no. 3, pp. 480-486, 1995.
- [57] D. N. Zmood and D. G. Holmes, "Stationary frame current regulation of PWM inverters with zero steady state error," in *Conf. Rec. IEEE/PESC Annual Meeting*, vol. 2, pp. 1185-1190, June /July 1999.
- [58] D. N. Zmood, D. G. Holmes, and G. H. Bode, "Frequency-domain analysis of three-phase linear current regulators," *IEEE Trans. on Ind. Appl.*, vol. 37, no. 2, pp. 601-610, March/April 2001.
- [59] D. N. Zmood, "A Systematic Development of Improved Linear Regulation for Sinusoidal Power Converters," PhD Thesis. Monash University, 2002.
- [60] D. N. Zmood and D. G. Holmes, "Stationary frame current regulation of PWM inverters with zero steady state error," *IEEE Trans. on Power Electronics*, vol. 18, no 2, pp. 814-822, May 2003.
- [61] Vikram Kaura and Vladimir Blasko, "Operation of a phase locked loop system under distorted utility conditions," *IEEE Trans. on Ind. Appl.*, vol. 33, no. 1, Jan./Feb. 1997.
- [62] John Reed and Naresh Sharma, "Large parallel UPS systems utilizing PWM technology," INTELEC-84, pp.282-289, 1984.

- [63] Heinz van der Broeck, Ulrich Boeke, "A Simple Method for Parallel Operation of Inverters," *IEEE INTELEC* pp.143-150, Oct. 1998.
- [64] Tajao Kawabata and Shigenori Higashino, "Parallel Operation of Voltage source inverter," *IEEE Transaction on IAS*, vol. 24, No.2, March/April 1988.
- [65] Joachim Holtz and Karl-Heinz Werner, "Multi-Inverter UPS System With Redundant Load Sharing Control," *IEEE Trans. on Ind. Electronics*, vol. 37, no.6, pp.506-513, Dec. 1990.
- [66] H. Oshima, Y. Miyazawa and A. Hirata, "Parallel Redundant UPS with Instantaneous PWM Control," *INTELEC'91*, pp.436-442, Nov. 1991.
- [67] Mukul C.Chandokar, Deepakraj M.Divan and Rambabu Adapa, "Control of parallel connected inverters in standalone ac supply," *IEEE Trans. on IA*, vol.29, no.1, pp.136-143, Jan./Feb., 1993.
- [68] Mukul C. Chandorkar, Deepakraj M.Divan and Rambabu Adapa, "Control of Parallel Connected Inverters in Standalone ac Supply Systems," *IEEE Transactions on IA*, vol. 29, no. 1, Jan. / Feb. pp.136-143, 1993.
- [69] M.C. Chandorkar, D.M. Divan, Y.Hu, B. Banerjee, "Novel architecture and control for distributed UPS systems," *APEC '94, IEEE Conf. Proc.* vol.2 Orlando, pp.683-689, 1992.
- [70] Youichi Ito and Osamu Iyama, "Parallel Redundant operation of UPS with Robust Current Minor Loop," *IEEE PCC-Nagaoka 1997*, vol. 1, pp.489-494, Aug.1997.
- [71] A. Tuladhar, H. Jin, T. Uger, and K.Mauch, "Control of parallel inverters in Distributed AC power systems with consideration of the line impedance effect," *IEEE Power Electronics Conference APEC'98*, vol.1, pp.321-328, Feb. 1998.
- [72] Duan Shanxu, Meng Yu, Xiong Jian, Kang Yong and Chen Jian, "parallel operation control technique of voltage source inverters in UPS," *IEEE 1999 International Conference on Power Electronics and Drive Systems, PEDS'99*, pp.883-887, July 1999.
- [73] T. Kawabata, N. Sashida and Y. Yamamoto, "Parallel Processing Inverter System," *IEEE Trans. on Power Electronics*, vol. 6, no 3, pp. 442-450, July 2003.

- [74] Jiann-Fuh Chen and Ching-Lung Chu, "Combination Voltage Controlled and Current-Controlled PWM Inverters for UPS Parallel Operation," *IEEE Transactions on PE*, vol. 10, no. 5, pp.547-555, Sep. 1995.
- [75] Hiroyuki Hanaoka, "Development of a Novel Parallel Redundant UPS" *IEICE/IEEE INTELE'03*, pp.493-498, Oct 2003.
- [76] Edrado Kazuhide Sata, Atsuo Kawamura, and Ryo Fuji, "Theoretical and Experimental Verification of Independent Control for Parallel Connected Multi-UPSs," in *Proc. INTELEC '03*, pp. 485-492, Oct. 2003.
- [77] Thomas S, key and J S Lai, "Comparison of standards and power supply design options for limiting harmonic distortion in power systems," *IEEE Trans Ind. Appl.* Vol. 29, (4), pp. 688-695, July/Aug. 1993.
- [78] Pedro Verdelho and G. D. Marques, " Four-Wire Current-Regulated PWM Voltage Converter," *IEEE Transactions on Industrial Electronics*, vol. 45, no. 5, pp.761-770, Oct. 1998.
- [79] M.E. Fraser, C.D. Manning and B.M. Wells, "Transformerless four-wire PWM rectifier and its application in AC-DC-AC converters," *IEEE Proc.-Elcctr. Power Appl.*, vol. 142, no 6, pp. 410-416. Nov. 1995.
- [80] Prasad N. Enjeti, and Phoivos D. Ziogas, "Analysis of a Static Power Converter Under Unbalance:A Novel Approach," *IEEE Transactions on Industrial Electronics*, vol. 31, no. 1, Feb.1990.
- [81] Jinn-Chang Wu and Hurng-Liahng Jou, "A new UPS Scheme Provides harmonic Suppression and Input Power Factor Correction," *IEEE Trans. on Industrial Electronics*, vol. 42, No. 6, pp. 629-635, Dec.1995.
- [82] U. B. Jensen, F. Blaabjerg, and K. Pedersen, "A new control method for 400-Hz ground power units for airplanes," *IEEE Trans. Ind. Appl.*, vol. 36, pp. 180-187, Jan./Feb. 2000.
- [83] N. M. Abdel-Rahimand and J. E. Quaicoe, "Analysis and design of a multiple feedback loop control strategy for single-phase voltage-source UPS inverter," *IEEE Trans. Power Electronics.*, vol. 11, pp. 532-541, July 1996.

- [84] S. D. Finn, "A high performance inverter technology, architecture and applications," in *Conf. Rec. IEEE-APEC Conf.*, San Diego, CA, pp. 556–560, March 1993.
- [85] TMS320C1x User's guide. Texas Instruments, Houston, TX, July 1991.
- [86] G. F. Franklin, J. D. Powell, and M. L. Workman, *Digital Control of Dynamic Systems*. Reading, MA: Addison-Wesley, 1990.
- [87] M. J. Tyan, W. E. Brumsickle, and R. D. Lorenz, "Control topology options for single-phase UPS inverters," *IEEE Trans. Ind. Appl.*, vol.33, pp. 493–500, Mar./Apr. 1994.
- [88] R. H. Park, "Two reaction theory of synchronous machines – generalized method of analysis-part I," *IEEE Trans.*, vol. 48, pp. 716-727, 1929.
- [89] B. DIVAN, D M 'Inverter topologies and control techniques for sinusoidal output power supplies," *IEEE 6th annual conference on Appl. Electronics*, pp 81-87, March 1991.
- [90] 김덕성, 박건수, 송현석, 이충식, *전력전송공학*, 청문각, 2001.
- [91] Michael John Newman, "Design of a universal custom power conditioner," Monash University, Sep. 2003.
- [92] Kyung-Hwan Kim, Dong-Seok Hyun, "A Harmonic circulation current reduction method for parallel operation of UPS with a three-phase PWM inverter," *JPE*. vol.5, no.2, April 2005.
- [93] Kyung-Hwan Kim, Dong-Seok Hyun, "Advanced synchronous reference frame controller for a three-phase UPS powering unbalanced and nonlinear loads," *IEEE PESC2005*, June. 2005.
- [94] 김경환,현동석, "3상 무정전 전원장치에 적합한 새로운 구조의 동기좌표계 전압제어기," *전력전자학회 논문지*, 제10권, 제5호, 2005.
- [95] 설승기, *전기기기 제어론*, 브레인 코리아, 2002.

ABSTRACT

Design of Advanced Voltage Controller for Three-Phase UPS inverters

by

KYUNG-HWAN KIM

Under the supervision of

Prof. **DONG-SEOK HYUN**, Ph.D.

Dept. of Electrical Engineering

The Graduate School of Hanyang University

Inverter system, which uses LC component as the output filter, is essential for a UPS (Uninterruptible Power supply), UPQC (Universal Custom Power Conditioner) and PCS (Power Conditioning System) for the photovoltaic power system.

This paper presents DSP (Digital Signal Processor) controlled voltage controller for a 3-phase UPS inverter, which is able to compensate the voltage distortions due to unbalanced and nonlinear loads. The paper discussed the problem of conventional control schemes for the compensation of voltage distortion when they are applied to UPS inverter, and proposes advanced synchronous reference frame control scheme which is able to overcome the problem. In order to solve the problem of low damping ratio of LC filter, the inverter current feed-forward compensator including the selection of the feed-forward gain is proposed. And the digital filter for a compensation of the voltage distortion due to unbalanced and

nonlinear loads is also proposed, which makes PI controllers in the synchronous reference frame are able to operate with DC values even under nonlinear and unbalanced load, likewise ensures PI controllers are able to provide zero steady state error.

In order to improve the practical usability of the proposed scheme in the paper, the realization of the PLL and the parallel operation, which are essential for UPS, using the proposed controller is also presented. Especially, this paper shows that the feed-forward compensation of the inverter current and the PWM synchronization method proposed in the paper ensures a high precise load-sharing performance in parallel operation of inverter system.

The effectiveness of the proposed scheme has been investigated and verified in digital simulation. This thesis also investigates the digital implementation of the proposed systems and all of the related theoretical concepts and control systems have been verified in experimental prototype of the UPS systems.

감사의 글

학문적 깊이를 더하기 보다는 박사학위를 취득하겠다는 알박한 욕심을 끝내 이루게 해 주시고 그를 통해 가치 있는 경험과 많은 깨달음을 주신 좋으신 하나님께 감사 드립니다.

지난 4년 반 동안의 박사과정을 통해 얻은 본 논문은 많은 소중한 분들의 수고에 빚져서 얻은 결과이기에 이 지면을 빌어 진심으로 감사의 인사를 드립니다.

먼저, 제게 학문 탐구의 기회를 주시고 본 논문이 이루어지기까지 배려와 지도 편달로 이끌어 주신 현 동석 교수님께 깊은 감사를 드립니다. 바쁘신 가운데서도 많은 조언과 함께 본 논문을 심사하여 주시고 다듬어 주신 서 병설 교수님, 김 진오 교수님, 이 택기 교수님, 그리고 페어차일드의 서 범석 박사님께 깊이 감사 드립니다. 박사과정 동안 조언과 배려를 아끼지 않으신 이주 교수님을 비롯한 많은 전기공학과 교수님께 감사 드립니다. 열정적 강의로 저에게 귀감을 주시고 애정과 관심을 가지고 지켜봐 주신 기계공학과 선우 명호 교수님께도 감사의 말씀을 드립니다.

훌륭한 전통을 남기신 전력전자 연구실의 여러 선배님, 그리고 박사과정 입학동기인 김 태성, 김 태진을 비롯한 전력전자 연구실 후배들에게 그 동안의 도움에 감사 드리며, 특히 후배들이 훌륭한 논문을 많이 써서 유종의 미를 거두시기를 기원합니다.

회사생활과 학업을 병행할 수 있게 도움을 주신 이화전기 임직원 여러분께 감사의 마음을 전합니다. 특히 부족한 본인을 잘 이해하고 본인의 해야 할 역할을 묵묵히 대신 해준 오 성진 책임 연구원께 고마움을 전합니다. 본 논문의 실험을 같이하며 많은 도움을 주신 김 태훈 주임연구원과 원고 정리에 도움을 주신 전 민희 연구원에게도 감사의 마음을 전합니다.

본인의 학문적 깊이를 날마다 더해주시는 공주 대학교 김 효성 교수님, 본 논문의 내용에 많은 도움을 주신 서울대학교 설 승기 교수님, 김 장환 박사님, 그리고 순천향대학교 지 준근 교수님께도 이 지면을 빌어 감사의 말씀을 전합니다.

“바다가 빗물에 젖느냐, 단지 자신에게 보탬 뿐이다” 라는 말씀과 특별한 배려로 한때 본인의 어려운 상황을 극복할 수 있게 해 주신 고마운 양 우공 선생님, 그리고 언제나 제 삶의 조연자이신 김 대희 사장님께도 감사를 드립니다.

어려운 환경에서도 저를 잘 키워주시고 배움의 길로 인도해 주셨던 아버님, 어머님, 그리고 누님, 항상 변함없는 사랑으로 대해 주시는 장모님과 장인어른께도 지고의 감사를 드립니다.

세상에서 가장 고마운 아내, 김 현정, 가끔 저에게 조언도 해 줄 수 있을 정도로 어느새 커버린 장남 주용, 귀여운 미녀 해니, 씩씩한 막내 주성, 그리고 그 외에 나의 모든 가족들과 오늘의 기쁨을 나누고 싶습니다.

끝으로 살아계셨으면 너무나 기뻐하셨을 어머님께 오늘의 영광을 바칩니다.

2006년 6월 13일 김 경 환